

フラッシュランプアニール法による多結晶 Ge 成長とその MOSFET 応用 Demonstration of poly-Ge growth by flash lamp annealing and the MOSFET operation

産総研 GNC ○白田宏治, 鎌田善己, 上牟田雄一, 森 貴洋, 小池正浩, 手塚 勉

AIST-GNC, Koji Usuda, Yoshiki Kamata, Yuuichi Kamimuta, Takahiro Mori, Masahiro Koike, and Tsutomu Tezuka¹

E-mail: koji.usuda@toshiba.co.jp

【序】層間絶縁膜上に MOSFET を直接形成、集積化する積層型 3D-CMOS 素子は、微細化限界やコスト上昇が課題となりつつある従来型平面 Si-CMOS 素子に代わる多機能、小型、低コスト素子の候補として注目されている[1]。その実現には、予め基板上に形成済みの下地回路の熱ダメージを避けつつ、新たなデバイス層を積層する必要がある。一方、絶縁膜上のアモルファス層或いは多結晶層の特性は、一般的に単結晶層のそれに及ばず、高性能 3D-CMOS 実現には半導体層の変更をも検討する必要がある。そこで今回、高移動度かつ低温プロセスが期待できる Ge 多結晶層を、短時間熔融・固化が可能な flash lamp annealing(FLA)法で形成、その上に p/nMOSFET を試作したので報告する。

【実験】200nm 熱酸化膜/Si 基板上に、15~100nm 厚のアモルファス Ge 層を成膜後、照射パワー 80J/cm²、照射時間 10m 秒で FLA 加熱を行って FLA 多結晶 Ge 膜を形成、結晶評価(Raman、EBSD、平面 TEM、ホール効果測定)を行なった。次に、60nm 厚多結晶 Ge 膜に、電子線リソグラフィと反応性イオンエッチングで Fin 加工(W_{fin}=40~60nm)とゲート加工(5nmHfAlO₂ 絶縁膜/TaN 金属構造)を行い、空乏型 junctionless(JL)tri-gate pMOSFET の SD 領域を NiGe プロセス、また反転型 tri-gate nMOSFET の SD 領域を P イオン注入(1E15cm⁻²、10keV)プロセスで形成後、350℃の BEOL 配線プロセスを経て、素子を試作した。

【結果】ホール効果測定法で得た FLA 多結晶 Ge 膜は p 型半導体で、100nm 厚膜のホール濃度/移動度は $2 \times 10^{18} \text{ cm}^{-3} / 200 (\text{cm}^2/\text{Vs})$ を得た。また、平面 TEM で評価した多結晶 Ge の平均粒径は、縦 3 μm 、幅 300nm 程度であった[2]。一方、図 1(a)に JL tri-gate pMOSFET (L_g/W_{fin}=80/50nm)の I_d-V_g 特性を示す(I_d は、Fin 長さ と幅 : $2 * H_{\text{fin}} + W_{\text{fin}}$ で規格化)。I_{on}/I_{off} 比 ~10³ の cut-off 特性を有し、I_d=280 (μA/μm)(V_g-V_{th}=-1V)と高い飽和ドライブ電流特性が得られた。また図 1(b)に反転型 nMOSFET (L_g/W_{fin}= 80/50nm) の結果を示す。pMOS 同様、妥当な cut-off 特性を有するトランジスタ動作が微細 nMOSFET で初めて確認された[2]。これらの高駆動力 pMOSFET 動作、及び nMOSFET 動作は、FLA 多結晶 Ge の結晶性が向上、かつ粒径も大きく、高い正孔移動度が得られた事、またアセプターライクな欠陥が減少したため n 型ソース・ドレイン形成に成功した事に起因すると推測される。

【参考文献】 [1] T.Naito, VLSI symp., 2010, p219. [2] K.Usuda et al., Applied Physics Express 7(5),056501 (2014). 【謝辞】本研究は日本学術振興会の最先端研究開発支援プログラムにより助成を受けた。

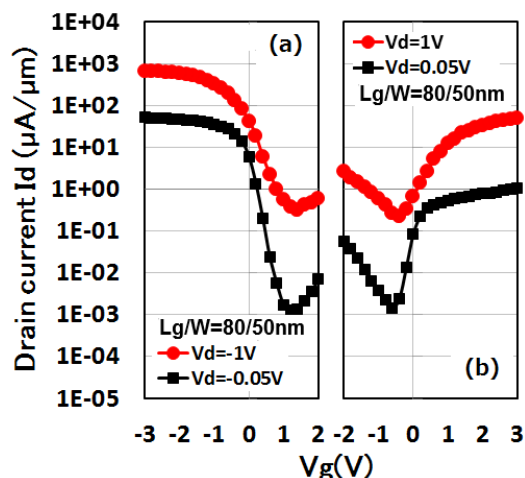


Fig.1 I_d-V_g curves of (a) poly-Ge JL tri-gate pMOSFET, (b) poly-Ge tri-gate nMOSFET.