17p-A20-10

単一磁束量子論理ゲートの論理動作における熱雑音の影響の調査

Investigate of Influence of Thermal Noise on Single Flux Quantum Logic Gate

横国大理工，山梨研　○増渕 光太，山梨 裕希，吉川 信行

Faculty of Science and Engineering, Yokohama National Univ., Yamanashi Lab.,

○Kota Masubuchi, Yuki Yamanashi, Nobuyuki Yoshikawa

E-mail: masubuchi-kota-yw@ynu.jp

1. はじめに

SFQ (Single Flux Quantum)回路は数十 GHz での動作が可能であるが、高感度の超伝導素子を用いた回路であるため、その動作は熱雑音による影響を受けやすい。熱雑音による影響は回路を伝搬する SFQ パルスの伝搬時間のゆらぎ(Jitter)として表れるだけでなく、論理ゲートにおいけるクロック入力の前後におけるデータ入力の禁止区間を表す setup 時間や hold 時間にも影響を及ぼすことが考えられる。

今回我々は熱雑音によって生じる、論理ゲートの setup 時間や hold 時間のゆらぎをシミュレーションにより測定し、論理ゲートの回路動作に及ぼす熱雑音の影響を調査し、回路動作にどのような影響を及ぼすかを検討した。

2. 論理ゲートの setup/hold 時間の熱雑音による揺らぎの評価

シミュレーションにはエスケープ接合を持つ Delay Flip-Flop (DFFE)を用いた。シミュレーションでは DFFE にのみ 4.2 K の熱雑音を加えることで、DFFE の入出力部に接続した JTL の熱雑音の影響を無くし、評価した。

図 1 にシミュレーションによって得られた DFFE の出力確率のデータ入力時間(t_{in})とクロック入力時間(t_{clk})の時間差への依存性を示す。回路へのバイアス電圧は 2.4 mV で、シミュレーションの試行回数は 1000 回であり、この遷移曲線より DFFE の setup 時間の揺らぎを評価した。

4.2 K 動作時の DFFE の setup 時間の平均値は-1.48 ps であり、その分布の標準偏差は 0.26 ps であった。熱雑音による JTL の Jitter は一接合あたり 0.2 ps 程度[2]であることから、回路を正常に動作させる上ではこの setup 時間のゆらぎは無視できない値であることが分かる。

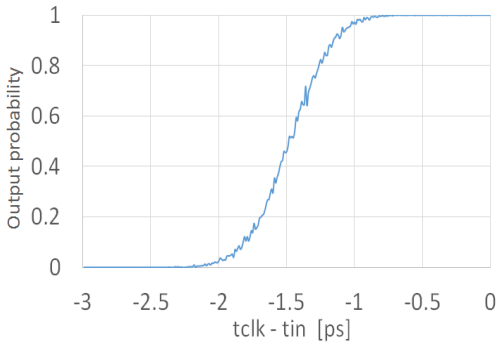


図 1　DFFE の出力確率のデータ入力時間(t_{in})とクロック入力時間(t_{clk})の時間差への依存性

3. まとめと今後の方針

超伝導単一磁束量子論理ゲートにおける熱雑音に起因する setup 時間や hold 時間のゆらぎを評価した。setup 時間や hold 時間のゆらぎは、信号の伝搬時間の揺らぎであるタイミングジッタと同じオーダーであり、高速回路設計には setup 時間や hold 時間の揺らぎを考慮する必要があることが示唆された。これらを考慮した回路設計の指針について、今後検討していく。

参考文献

[1] K. K. Likharev and V. K. Semenov, “RSFQ Logic/Memory Family: A NewJosephson-Junction Technology for Sub-Terahertz-Clock-Frequency Digital Systems,” IEEE Trans. Appl. Supercond., vol. 1, pp. 3-28, 1991.

[2] P. Bunyk et al., “ Experimental Characterization of Bit Error Rate and Pulse Jitter in RSFQ Circuits,” IEEE Trans. Appl. Supercond., vol. 11, pp. 529-532, 2001.

© 2014 年　応用物理学会