

17p-A27-10

AlGaIn/GaN 系 P チャネル型 HFET におけるリーク電流制御

Control of leakage current on AlGaIn/GaN-based p-channel HFETs

東工大総理工¹, 東工大フロンティア研², 産業技術総合研究所³, 〇萱沼 怜¹, 久保田俊介¹,中島 昭³, 西澤伸一³, 大橋弘通^{2,3}, 筒井一生¹, 角嶋邦之¹, 若林 整¹, 岩井 洋²Tokyo Tech. IGSSE¹, Tokyo Tech. FRC², AIST³, 〇R.Kayanuma¹, S.Kubota¹, A. Nakajima³,S. Nishizawa³, H. Ohashi^{2,3}, K. Tsutsui¹, K. Kakushima¹, H. Wakabayashi¹, and H. Iwai²

E-mail: Kayanuma.r.ab@m.titech.ac.jp

【はじめに】AlGaIn/GaN 系 N チャネル型ヘテロ接合電界効果トランジスタ(HFET)は、2次元電子ガス(2DEG)をチャネルに用いた高性能なパワーデバイスとして実用化が進められている。正孔をキャリアとする P チャネル型 HFET[1]を実現できれば GaN ウェハ上に N/P の相補型のパワー集積回路を作製することができ、小型、低損失、動作温度等で Si の限界を超える性能が期待できる。我々は、AlGaIn/GaN 系の特徴を活かした分極接合による高濃度 2次元正孔ガス(2DHG)の形成技術、および高濃度 2DHG を用いた P チャネル型 HFET の報告を行ってきた[2-4]。その中での一つの課題は、基板表面の p-GaN 層を並行して流れるリーク電流であった[3]。本発表では、これをリセス構造の導入で効果的に制御できたことを報告する。

【デバイス構造】サファイア基板上に成長させた 2DHG が得られる GaN/AlGaIn/GaN ヘテロ構造(Fig.1(a))を基板に用いた。この上に今回作製したデバイス構造を Fig.1(b)に示す。2DHG のチャネルに対して下層に形成される 2DEG 層をゲート電極に使う構造を用いた。

【作製プロセス】まず、素子分離のために 2DEG を越えて GaN 層までのエッチングを行い、次に AlGaIn 層の途中までメサエッチングを行った。その後、露出させた AlGaIn 層表面に Mo/Al/Ti(30nm/60nm/15nm)を堆積し、N₂ 雰囲気中 850℃アニール処理で形成したオーミックコンタクトをゲート電極とした。また、最上層に Au/Ni(20nm/20nm)を堆積し、air 雰囲気中でアニール処理を行ったものをソース・ドレイン電極とした。さらに今回の新たなプロセスとしてソース・ドレイン間の p-GaN 層表面からのリセス加工を施した。チャネル長 L_{sd} は 50~140 μ m、チャネル幅 W は全て 100 μ m である。

【結果】Fig.2 に常温での P チャネル動作の I_D - V_{DS} 特性を示す。測定デバイスは $L_{sd} = 50\mu$ m、 $W = 100\mu$ m であり、それぞれ(a) リセスなし、(b) リセス深さ 40nm の測定結果で、いずれも normally-on 特性である。リセ

スなしでは表面 p-GaN 層中のバルク電流がゲート制御できないリーク電流として観測されているが、リセスを施した場合これは抑制され、2DHG によるチャネル伝導のみが現れている。詳細は当日の発表にて報告する。

【謝辞】本研究は、独立行政法人新エネルギー・産業技術総合開発機構 (NEDO) の先導的産業技術創出事業の支援を受けて行われた。

[1] T. Zimmermann *et al.*, IEEE EDL, 25(7), 450 (2004).

[2] A. Nakajima *et al.*, APEX, 3, 121004 (2010)

[3] 米澤 他、2014 年春季応物、19a-D8-10.

[4] A. Nakajima *et al.*, ISPSD'14, 5114, 2014.

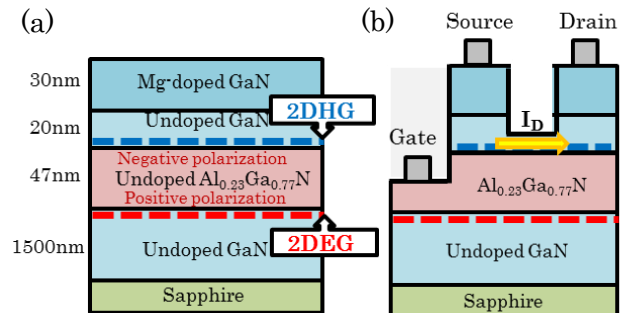


Fig.1 (a) Structure of epitaxial substrates and (b) a fabricated Pch-HFET.

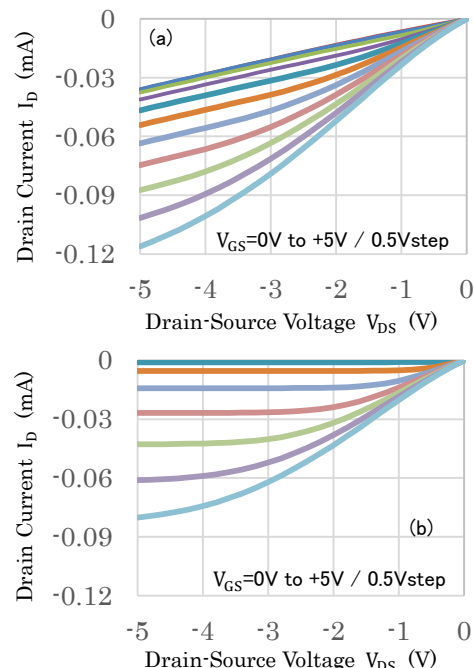


Fig.2 I_D - V_{DS} characteristics of Pch-HFETs, (a) without recess and (b) with 40nm-recess.