

高性能 poly-Si TFT 特性とチャネル結晶面方位との相関

Study on Correlation between High-performance Poly-Si TFTs

and its Channel Crystallinity

広島大学ナノデバイス・バイオ融合科学研究所(RNBS)¹, 東北大学大学院工学研究科²○山野真幸¹, 黒木伸一郎¹, 平田達誠¹, 佐藤 旦¹, 小谷光司², 吉川公磨¹Research Institute for Nanodevice and Bio Systems, Hiroshima University (RNBS)¹,
Graduate School of Engineering, Tohoku University²,○M. Yamano¹, S. Kuroki¹, T. Hirata¹, T. Sato¹, K. Kotani², and T. Kikkawa¹

E-mail: {yamano-masayuki, skuroki}@hiroshima-u.ac.jp

【はじめに】これまで我々は poly-Si 結晶化の手法として double-line beam (DLB) continuous-wave laser lateral crystallization (CLC) を提案し、結晶面方位の制御とグレイン大粒径化 (長さ > 100 μm) を可能としている。また、この poly-Si 膜を用いて TFT を作製し、平均電子電界効果移動度 $\mu = 560 \text{ cm}^2/\text{Vs}$ および素子間特性ばらつき 10% 以下という高移動度かつ低特性ばらつきのデバイス作製を実現している。今回、電子線後方散乱回折法 (EBSD) により TFT 特性とチャネル結晶面方位との相関についての調査を行った。

【実験方法】石英基板に a-Si 薄膜 150 nm、Cap SiO₂ 薄膜 100 nm を成膜し、レーザ結晶化 (波長: 532 nm、レーザ出力: 8.5W、スキャン速度: 0.25 cm/s) を行い、BHF により Cap SiO₂ 薄膜をエッチングし、ドライエッチングにより poly-Si アクティブ層を作製した。次にゲート SiO₂ 膜を ICP CVD により 50 nm、スパッタにより Mo を 200 nm 成膜し、ゲート電極とした。S/D 形成ではセルフアラインによりイオン注入 (As: ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧 66 keV) を行い、活性化アニール処理を 550°C、30 min で行った。その後 S/D 部分の犠牲酸化膜を除去し、APCVD により層間絶縁膜を 150 nm 形成し、BHF により開口エッチングを行った。Mo スパッタ成膜により 200 nm の電極パッドを形成し、最後に 400°C、H₂ 雰囲気中でシンタリング処理を行った。作製した TFT について電気測定評価を行った後、poly-Si 層までエッチングし、EBSD 測定を行った。

【結果と考察】図 1 に作製した TFT の I_D-V_G 特性を示す。高移動度を示し、また特性ばらつき 2.5% と低い値を示している。図 2 にデバイスごとの EBSD 測定結果を示す。ばらつきが低いにもかかわらず、結晶面方位に大きな違いがみられる。以上の結果から、結晶グレイン形状およびサイズが特性に影響を及ぼしていると考えられる。

【謝辞】広島大学先端物質科学研究科半導体集積科学専攻 東清一郎教授、林将平氏には ICP CVD 及び EBSD 測定に関してご支援を頂いた。感謝申し上げます。

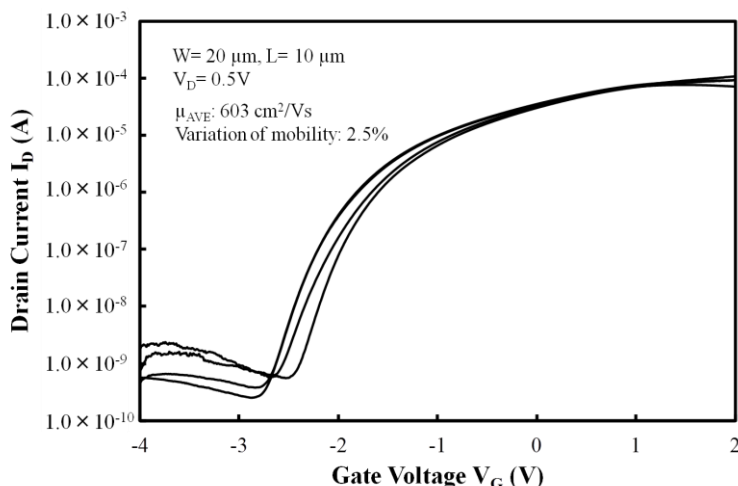
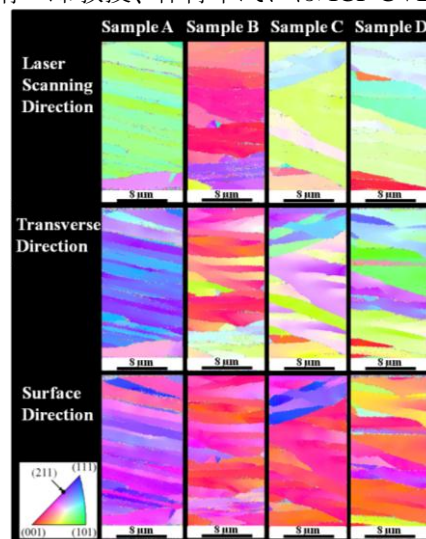
図 1. 作製した poly-Si TFT の I_D-V_G 特性

図 2. デバイスごとの EBSD 測定結果