17p-PA3-2

アモルファスシリコン積層光回路の実現に向けた低損失層間光伝送

Low-Loss Optical Interlayer Transition for Vertically-Stacked Optical Circuits Based on Amorphous Silicon

産総研[1]，PECST[2]　○武井 亮平[1,2]，前神 有里子[1,2]，面田 恵美子[1,2]，
亀井 利浩[1,2]，榊原 陽一[1,2]，森 雅彦[1,2]

AIST[1], PECST[2],　°Ryohei Takei[1,2], Yuriko Maegami[1,2], Emiko Omoda[1,2],
Toshihiro Kamei[1,2], Youichi Sakakibara[1,2], Masahiko Mori[1,2]

E-mail: r.takei@aist.go.jp

オンチップ光配線は次世代の配線技術として CMOS チップの低消費電力化に大きく貢献するものと期待されている。我々はオンチップ光配線の実現を目指して、近赤外領域で低損失な水素化アモルファスシリコン(a-Si:H)を中核とする低温成長シリコン薄膜技術、並びに金属配線層の形成工程において実際に使用されている安価なプロセス技術とを併せて活用する独自路線により、CMOS チップ上に高密度な積層シリコン光回路を集積化する技術の開発に取り組んでいる。

これまで我々は、異なる階層にそれぞれ配置されたシリコン導波路を逆テーパ構造で終端させ、それらをポリマ材からなる第二コアを介して連結する構造の層間光伝送デバイスを提案し、実証してきた [1]。しかしながら、ポリマ材は CMOS プロセスとの整合性が低い上に、ポリマ材上にはプラズマ化学気相成膜法(PECVD)による a-Si:H の成膜が困難であるため積層光回路の拡張性が制限されてしまう、といった課題があった。そこで本研究では、ポリマ材に代替してシリコン酸窒化膜(SiON)を、従来に比べて簡便な形状の第二コアに適用した層間光伝送デバイス(Fig. 1)を検討したので、デバイス設計を含めて詳細を報告する。

今回検討した層間光伝送デバイスは、SOI 基板上に CMOS 後工程と互換性の高いプロセス工程を用いて試作された。試作されたデバイスの光学特性を波長 1550 nm の TE 偏光に対して評価したところ、挿入損失は 0.85 dB であった。主にセカンドコアの形状の改良により、以前のポリマ材を用いたデバイスの挿入損失(1.8 dB)より 1 dB 近く改善し、層間光信号伝送の低損失動作を実証した。

【謝辞】本研究は，最先端研究開発支援プログラムにより，日本学術振興会を通して助成されたものです。また，微細加工の一部は文部科学省ナノテクノロジー総合支援プロジェクト（NPPP）の支援を受け，（独）産業技術総合研究所ナノプロセシング施設において実施されました。

【参考文献】[1] 武井亮平、他、第 74 回応用物理学会秋季学術講演会、20a-A8-9 (2013)

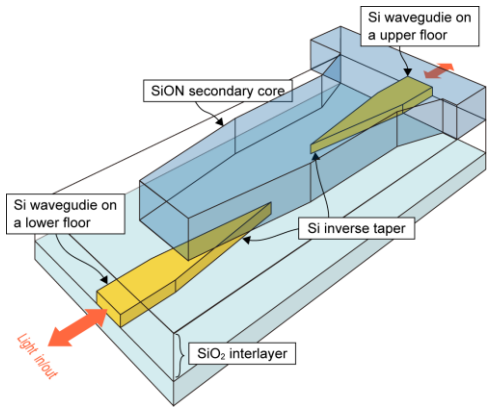

Fig. 1. Schematic drawings of the optical interlayer transition device with a SiON secondary core.

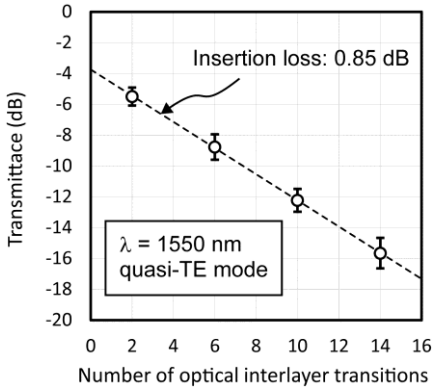

Fig. 2. Measured transmittances of the fabricated transition devices.

© 2014 年　応用物理学会