17p-PA3-4

シリコン導波路集積型グラフェン光変調構造の最適化

Structural optimization of graphene-optical-modulator integrated on silicon waveguide

早大先進理工 [1], NTT NPC [2], NTT マイクロシステム研 [3], NTT フォトニクス研 [4]

°蕨 かほり [1], 高 磊 [1,2,3], 西 英隆 [2,3], 田邊 真一 [4], 山本 剛 [3], 山田 浩治 [2,3], 中島 啓幾 [1]

Waseda Univ.[1], NTT Nanophotonics Center[2], NTT Microsystem Integration Labs.[3] and NTT Photonics Labs.[4]

°K. Warabi[1], R. Kou[1,2,3], H. Nishi[2,3], S. Tanabe[4], T. Yamamoto[3], K. Yamada[2,3] and H. Nakajima[1]

E-mail: audrey-knights@ruri.waseda.jp

1. 研究背景

近年、電圧制御されたグラフェンのフェルミレベル変調による超小型な光吸収型変調器が報告されている[1]。しかし、シリコン導波路中へのイオン注入により高い光損失を有する上、最適なゲート絶縁膜・電極などのデバイス構造が検討されていなかった。本稿では、より低損失・高効率なグラフェン光変調器を提案し、作製に向けたデバイス構造最適化に関するシミュレーション結果を報告する。

2. 素子構造とシミュレーション方法

図 1 はシリコン導波路上グラフェン光変調器の概要図である。幅 400 nm × 高さ 200 nm のシリコン導波路上に単層グラフェンをはじめに転写し、高誘電率ゲート絶縁膜（Al_2O_3：20 nm, ε = 7.0）と電極（Ti/Au：10/30 nm）によりトップゲート構造を形成する。さらに、導波路の外側にグラフェンに対してオーミックとなる電極を形成する。電圧印加によりグラフェンのフェルミレベル E_F をアクティブ制御し、光吸収率変化Δα を誘起する。本検討では、電極幅 W に対してトレードオフ関係にあるグラフェン界面へのキャリア蓄積･フェルミレベル変化ΔE_F と電極による光吸収Δα をそれぞれ有限要素法と有限差分法により計算し、デバイス構造の最適化を行った。

3. シミュレーション結果

図 2 に TE モード入射光に対するゲート電極幅 W と同電極による光吸収との関係をシミュレートした結果を示す。なお、絶縁膜厚：20 nm に設定した。これにより、電極幅が 150 nm を境にして光吸収損失が急激に上昇することから、電極幅は光吸収が小さい 100 nm 以下が望ましいことが判明した。なお、光吸収は幅 250 nm を境に若干減少しているが、これは電極エッジ部のプラズモンモードが下方のシリコン導波路伝搬モードの影響を受けるためと推測できる。図 3 に電極幅 50, 100 nm に±5V 印加した際の x 軸における、導波路上部のグラフェン中キャリア密度のルート値 $n^{1/2}$（左軸）とフェルミレベル変化ΔE_F（右軸）を示す（導波路中央を x = 0 とした）。波長 1.55 μm では、グラフェンの光吸収特性が変化するフェルミレベルは約 0.4 eV ($\hbar\omega$/2) であるが、転写後の p ドーピングの制御を併用することにより[2]、本計算で得られたフェルミレベル変化（電極幅 : 100 nm, 印加電圧：±5V）でも十分な光変調効果が得られることが予想される。

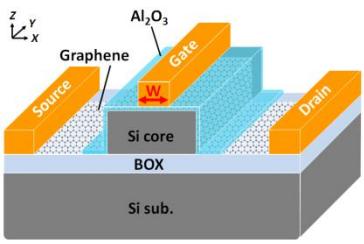

図 1 グラフェン光変調器の概要図

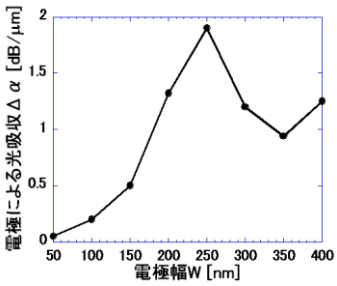

図 2 電極幅 W と光吸収Δα の関係

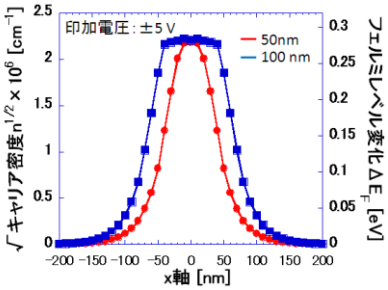

図 3 位置に対するキャリア密度ルート値 $n^{1/2}$ とフェルミレベル変化ΔE_F

4. まとめ

高誘電率絶縁膜をトップゲートとする、シリコン導波路上に集積されたグラフェン光変調器の最適化を行った。光吸収が比較的小さい 0.2 dB/μm 程度の電極幅 100nm において、印加電圧±5V で最大 0.3 eV 程度のフェルミレベル変化を誘起でき、十分な光強度変調が期待できる。

[1] M. Liu et al., *Nature*, vol.474, pp.64-67 (2011).　[2] C.-C. Lee et al., *Appl. Phys. B*, vol.108, pp. 129-135 (2012)

© 2014 年　応用物理学会