18a-A16-3

完全空乏型 Silicon-on-Thin-BOX (SOTB) SRAM セルにおける 最低動作電圧 (V_{min})の統計的解析

Statistical Analysis of Minimum Operation Voltage (V_{min}) in Fully Depleted Silicon-on-Thin-BOX (SOTB) SRAM Cells 東大生研¹, LEAP²

^O水谷朋子¹, 山本芳樹², 槇山秀樹², 山下朋弘², 尾田秀一², 蒲原史朗², 杉井信之², 平本俊郎¹ IIS, Univ. of Tokyo¹, LEAP²

^oTomoko Mizutani¹, Yoshiki Yamamoto², Hideki Makiyama², Tomohiro Yamashita², Hidekazu Oda², Shiro Kamohara², Nobuyuki Sugii², and Toshiro Hiramoto¹ E-mail: mizutani@nano.iis.u-tokyo.ac.jp

【はじめに】SRAM の更なる微細化・低電圧化には、トランジスタのランダムばらつき抑制が重要 な課題である[1-4]. セルトランジスタのアンバランスが原因で、SRAM の最低動作電圧 (V_{min}) は 論理回路と比較して高くなる[5]. チップ全体を低い電源電圧 (V_{DD}) で動作させるには V_{min} の低 減が必要である. 大容量 SRAM セルの V_{min} はワーストセルで決まるので、SRAM セルの安定性を 統計的に解析することは非常に重要である. 一般に、SRAM セルの安定性を評価するには、スタ ティックノイズマージン (SNM) が用いられる. しかしながら、以前我々は V_{min} と SNM の相関が 必ずしもよいわけではないことを示した[6-7]. 本研究では、完全空乏型 (FD) Silicon-on-Thin-BOX (SOTB) 6T-SRAM における各セルの V_{min} を測定し、統計的解析を行ったので報告する[8].

【結果】65nm 技術で作製したイントリシックチャネルを有する FD SOTB 6T-SRAM ($t_{SOI}=12nm$, $t_{BOX}=10nm$, $T_{inv}=2.8nm$) [9-10]を, DMA-TEG を用いて測定した[4]. Fig. 1 に 28k SRAM セルの V_{min} 累積度数分布を示す. (a)正規分布, (b)対数正規分布をプロットした. これらの図より, V_{min} は明らかに正規分布ではなく, 対数正規分布することがわかる. さらに, 基板バイアスを調整することにより SRAM のセルトランジスタ(NMOS, PMOS とも)のしきい値電圧 (V_{THC})を変化させた. Fig. 2 に 1k SRAM セルのメジアン V_{min} とメジアン SNM の V_{THC} 依存性を示す. V_{THC} が増加するに従い, メジアン V_{min} は減少

しメジアン SNM は増加する. これらの結 果は妥当である. Fig. 3 に 1k SRAM セルの ワースト V_{min} とメジアン V_{min} , さらに特徴 的な 2 セル(Cell-A および Cell-B)の V_{min} の V_{THC} 依存性を示す. ワースト V_{min} はメジア ン V_{min} とは V_{THC} に対する振る舞いが異な る. 特に Cell-B はメジアン V_{min} とは反対の 傾向を示す. 以上より, ワースト V_{min} はメ ジアン V_{min} やメジアン SNM とは異なる傾 向を示すため, セルの安定性はワースト V_{min} で評価しなければならないことがわか った. 【謝辞】本研究は METI および NEDO から LEAP に委託された研究の一環として実 施された.

【文献】[1] A. J. Bhavnagarwala *et al.*, IEEE JSSC, p.658, 2001. [2] F. Tachibana *et al.*, JJAP, 44, p.2147, 2005. [3] A. Bhavnagarwala *et al.*, IEDM., p.675, 2005. [4] T. Hiramoto *et al.*, IEEE TED, 58, p.2249, 2011. [5] S. Jain *et al.*, ISSCC, p. 66, 2012. [6] A. Kumar *et al.*, Silicon Nano. Workshop, p. 31, 2013. [7] T. Mizutani *et al.*, JJAP, 53, 04EC18, 2014. [8] T. Mizutani *et al.*, to be presented in Silicon Nano. Workshop, 2014. [9] Y. Yamamoto *et al.*, VLSI Tech. Symp., p. 109, 2012. [10] Y. Yamamoto *et al.*, VLSI Tech. Symp., p. 212, 2013.





Fig.2. V_{THC} dependence of median V_{min} and median SNM in 1k SRAM, cells.

Fig.3. V_{THC} dependence of median and worst V_{min} .