

しきい値電圧自己調整 MOSFET および SRAM セルの超低電圧(0.1V)動作

Ultra-Low Voltage (0.1V) Operation of V_{th} Self-Adjusting MOSFET and SRAM Cell東大生研¹, 中大院理工², 上田晃頌^{1,2}, 鄭承旻¹, 水谷朋子¹, Anil Kumar¹, 更屋拓哉¹, 平本俊郎¹IIS, Univ. of Tokyo¹, Chuo Univ², Akitsugu Ueda^{1,2}, Jung Seung-Min¹, Tomoko Mizutani¹,Anil Kumar¹, Takuya Saraya¹, Toshiro Hiramoto¹

E-mail: a.ueda@nano.iis.u-tokyo.ac.jp

【背景】近年の MOSFET の微細化に伴い、消費電力の増大が問題となっている。低消費電力化の最も効果的な方法は電源電圧(V_{dd})を下げることである。しかし、 V_{dd} が 0.4V よりも低い動作では、トランジスタのばらつきが顕著になってくるため、 V_{dd} を下げることは困難となっている。ゆえに、超低電圧(0.1V)動作のために新しいデバイスの発想が求められている[1]。【目的】先行研究において、しきい値電圧(V_{th})自己調整 MOSFET が超低電圧動作に適していることが示されている[2-3]。 V_{th} 自己調整により SRAM 回路の安定性は向上するが、実際のデバイスで V_{th} を変調するには高電圧(3.3V[2], 3.0V[3])が必要であり、低電圧で実証されたのはシミュレーション結果だけであった。本研究では、Floating Gate(FG)を有する新しい V_{th} 自己調整 MOSFET を提案し、低電圧(0.1V)動作における SRAM 回路の安定性の向上を実験的に示した[4]。【実験】本研究で提案する V_{th} 自己調整 MOSFET の構造を Fig.1 に示す。この FET は Control Gate(CG)と FG 間の酸化膜が薄いため、低 V_{gs} (オフ時)では電荷が CG から FG へ注入され、 V_{th} が高くなる。一方、 V_{gs} が増加する(オン時)と電荷は CG へと戻され、 V_{th} は低くなる。その結果、I-V 特性は Fig.2 のようなヒステリシス特性を示す。以上のような動作をする FET を用いて SRAM 回路を作成した。

【結果】作製した V_{th} 自己調整 FET の $V_{dd}=0.1V$ における実測特性を Fig.3 に示す。予想通りのヒステリシスが観測され、オフ時の V_{th} 上昇とオン時の V_{th} 低下が確認された。 V_{th} 自己調整 FET で構成した SRAM セルのバタフライカーブの実測結果を Fig.4 に示す。

$V_{dd}=0.1V$ においてバタフライカーブにもヒステリシスが観測される。

例えば、 $VR=high$ が記憶されている場合は、 $VR=high$ 側のノイズマージンが拡大されている。すなわち、SRAM の安定性が向上していることを示している。

【謝辞】本研究の一部は文部科学省科学研究費補助金の支援を受けた。【文献】 [1] T. Hiramoto et al., IEEE TED, vol. 58, p. 2249, 2011. [2] S. Tanakamaru et al., IEDM, p. 283, 2009. [3] K. Tatsumura et al., IEDM, p. 71, 2011. [4] A. Ueda et al., VLSI Symp., p. 198, 2014.

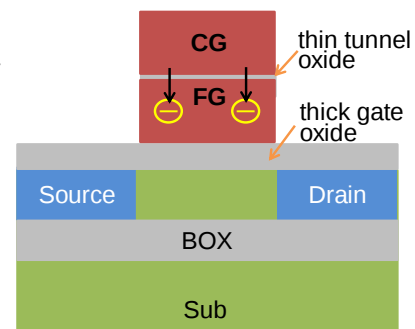


Fig.1 A schematic of the proposed V_{th} self-adjusting FET.

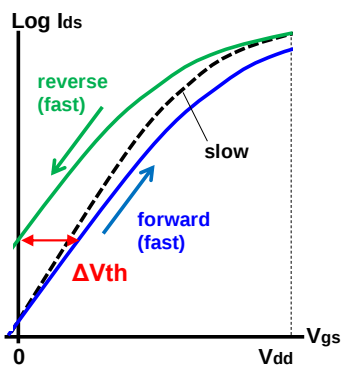


Fig.2 Schematic I-V curve of the proposed V_{th} self-adjusting FET.

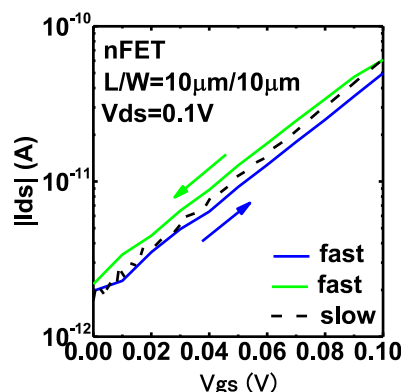


Fig.3 Measured I-V curve

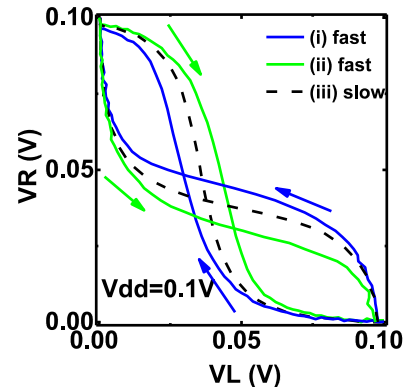


Fig.4 Measured butterfly curves.