

3次元構造撮像デバイスの実現に向けた画素回路の試作

Fabrication of Pixel Circuits for 3D-Structured CMOS Image Sensors

NHK技研¹, 東大² ◯後藤 正英¹, 萩原 啓¹, 井口 義則¹, 大竹 浩¹,

更屋 拓哉², 日暮 栄治², 年吉 洋², 平本 俊郎²

NHK STRL¹, Univ. of Tokyo², ◯Masahide Goto¹, Kei Hagiwara¹, Yoshinori Iguchi¹,

Hiroshi Ohtake¹, Takuya Saraya², Eiji Higurashi², Hiroshi Toshiyoshi² and Toshiro Hiramoto²

E-mail: goto.m-fk@nhk.or.jp

【はじめに】超高精細と高フレームレートとを両立できる次世代の撮像デバイスを目指して、3次元構造撮像デバイスの研究を進めている。本デバイスは、受光部や A/D 変換等の機能を備えた基板を積層した構造からなり、全画素の信号を並列処理して基板の深さ方向へ出力することを特徴としている¹⁾。今回、本デバイスに適用するための画素回路の試作を行い、その動作を確認したので報告する。

【実験】画素の回路構成を Fig.1 に示す。画素は、受光部であるフォトダイオード (PD)、CMOS インバータ、リセットトランジスタ M_{RST} 、カウンタからなる。PD に光が入射し、その電圧 V_{PD} が CMOS インバータのしきい値を超えると CMOS インバータが順次反転してパルスを発生し、同時に V_{PD} がリセット電位 V_{RST} にリセットされる。出力パルスをカウンタで数えることで、入射光量をパルスの周波数に変換して出力することができる²⁾。今回、3次元構造化に適用可能な SOI 基板上に、0.2 μm CMOS プロセスを用いて、PD と CMOS インバータを平面的に配置した画素回路 (80 μm 角) を試作した。

【結果】試作した画素回路のチップ写真を Fig.2 に示す。チップに光を入射し、FPGA で構成したカウンタによりパルスを計数した。一定時間内に計数したパルス数を出力周波数に換算して得られた入出力特性を Fig.3 に示す。入射光照度に対して出力周波数が増加する光電変換特性を確認することができた。この結果、画素並列信号処理を行う撮像

デバイスの実現に見通しが得られた。今後は、本画素回路やカウンタ等を3次元的に集積した撮像デバイスの試作を行い、その動作を実証する。

1) M. Goto *et al.*, IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 11.2, 2013.

2) 後藤ほか, 第 30 回「センサ・マイクロマシンと応用システム」シンポジウム, 6PM3-PSS-44, 2013.

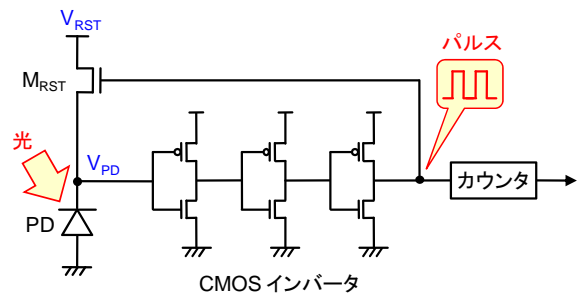


Fig.1 画素の回路構成

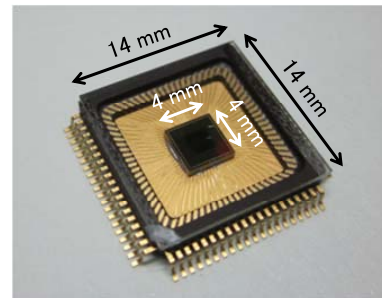


Fig.2 試作チップ写真

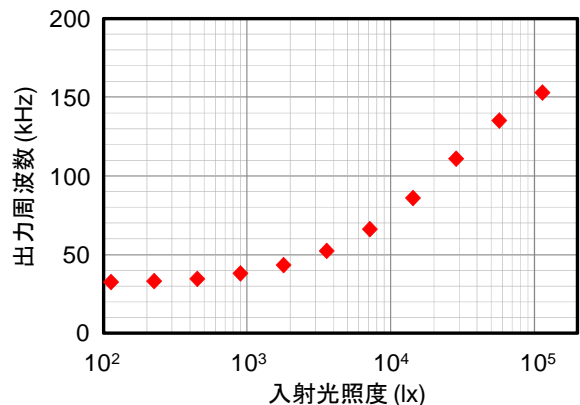


Fig.3 画素の入出力特性