

## 常温超音波接合技術による VGA サイズ近赤外イメージセンサーの作製 Fabrication of VGA Size Near-Infrared Image Sensor Using Room-Temperature Bonding Technology

九州大学<sup>1</sup>, アイアールスペック<sup>2</sup> ○首藤高德<sup>1</sup>, 岩鍋圭一郎<sup>1</sup>, 小倉睦郎<sup>2</sup>, 西田克彦<sup>2</sup>, 浅野種正<sup>1</sup>Kyushu Univ.<sup>1</sup>, IRspec<sup>2</sup> ○T. Shuto<sup>1</sup>, K. Iwanabe<sup>1</sup>, M. Ogura<sup>2</sup>, K. Nishida<sup>2</sup>, T. Asano<sup>1</sup>

E-mail: shuto@fed.ed.kyushu-u.ac.jp

### 1. はじめに

近年、赤外線領域のイメージングは、車載用のカメラをはじめとして、様々な応用が期待されている。近赤外イメージセンサーは生体情報などの有益な情報を我々にもたすため、医療やヘルスケア応用としても注目されている。近赤外イメージセンサーを作製するためには、化合物半導体から成るフォトダイオードアレイチップとシリコン CMOS 読み出し回路チップとを接続するように異種材料チップを積層する必要がある。

異種材料チップをマイクロバンプを用いて積層する場合、材料間の熱膨張係数差が問題となる。低融点のインジウムバンプを使った場合でも 200°C 程度まで加熱する必要があるため、画素ピッチの縮小は 15  $\mu\text{m}$  ピッチ程度が限界である [1]。この限界を打破するため、我々は常温で異種材料チップを積層することによって、近赤外イメージセンサーを作製する。これまでに、円錐型のマイクロバンプ（先鋭バンプ）の接合時に超音波振動を加えることによって、常温で InGaAs/InP フォトダイオードアレイチップをシリコン CMOS 読み出し回路チップ上に積層し、qVGA に相当する 320 × 256 画素の近赤外イメージセンサーの作製に成功している [2]。

今回は、VGA(640 × 512 画素) サイズのイメージセンサーの作製をおこなった結果について報告する。qVGA サイズのイメージセンサーでは画素ピッチは 25  $\mu\text{m}$  ピッチであったが、VGA サイズのイメージセンサーでは画素ピッチを 15  $\mu\text{m}$  ピッチとした。

### 2. 実験及び結果

先鋭バンプは CMOS 読み出し回路を形成した Si ウエハ上にフォトリソグラフィと金めっきによって作製した。InGaAs フォトダイオードアレイは InP 基板上に形成した。フォトダイオードアレイ上には、リフトオフによって金電極を形成した。図 1 に CMOS 読み出し回路チップの光学顕微鏡像および SEM 像を示す。先鋭バンプは 15  $\mu\text{m}$  ピッチで 640 × 512 個配列されている。フォトダイオードの画素サイズは 15  $\mu\text{m}$  × 15  $\mu\text{m}$  である。先鋭バンプの超音波接合によって、CMOS 読み出し回路チップとフォトダイオードアレイチップを積層した。接合の条件は、温度: 常温、荷重: 700 N、超音波の振幅: 1.5  $\mu\text{m}$ 、接合時間: 1.0 s でおこなった。同数のバンプを持つ

TEG チップを使用して、上記の条件で接合をおこなった。電気特性を評価した結果、接合欠陥の発生確率は 1/87,000 であった。

作製した近赤外イメージセンサーをパッケージングし、カメラフレームに組み込んで、はんだごてから発せられる近赤外信号を取得した。図 2 は 300°C に熱したはんだごての近赤外画像である。この画像は 640 × 512 画素で構成されている。この画像より各画素がバンプによって接続出来ていることがわかる。

### 3. おわりに

先鋭バンプの超音波接合によって、InGaAs フォトダイオードアレイとシリコン CMOS 読み出し回路をピクセル接続した近赤外イメージセンサーを作製した。常温で、15  $\mu\text{m}$  ピッチの 640 × 512 個のバンプ接続を実現した。本技術によって高解像度化の限界を打破できる可能性が示された。

### 謝辞

超音波接合について多くのご助言を頂いた、アドウェルズ社の野田和宏氏、中居誠也氏に感謝する。本研究の一部は、経済産業省の戦略的基盤技術高度化支援事業の援助によるものである。

### 参考文献

- [1] M. Fendler et al.: IEEE Trans. Components Packag. Technol. **32**, 207 (2009).  
[2] T. Shuto et al.: Jpn. J. Appl. Phys. **53**, 04EB01 (2014).

ROIC chip: 12.7 × 11.2 mm

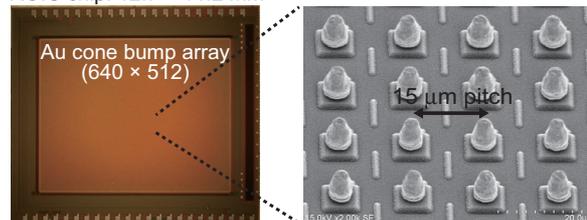


図 1: CMOS 読み出し回路チップの光学顕微鏡像及び SEM 像。

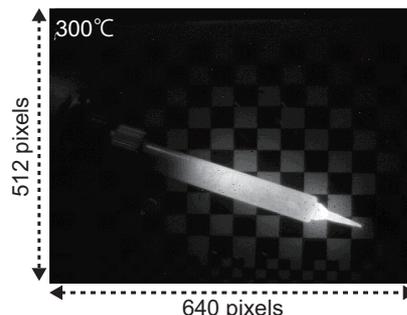


図 2: 300°C に熱したはんだごての近赤外画像。