

PLD 法による Si 基板上への SrVO_3 薄膜の作製Fabrication of SrVO_3 thin films on Si substrates by PLD兵庫県立大学[○]稲垣 遼, 堀田 育志, 佐藤 真一Univ. of Hyogo[○]Ryo Inagaki, Yasushi Hotta, and Shin-ichi Satoh

E-mail: eo014f006@steng.u-hyogo.ac.jp

【はじめに】近年、遷移金属酸化物材料を用いた電子デバイスが SrTiO_3 のような酸化物基板上で実現されている。一方、酸化物デバイスと Si エレクトロニクスとの融合は、酸化物デバイスを実際に応用していく上で極めて重要なテーマであり、その中で遷移金属酸化物と Si 基板のヘテロ接合が実現されるようになっている。我々は、遷移金属中の強相関電子の自由度を直接 Si の電子機能と結びつけることに興味をもって研究を行っている。本研究では、強相関系の金属材料である SrVO_3 (SVO) と Si 基板の接合をパルスレーザ堆積 (PLD) 法にて作製し、その接合の電気的特性を調べることを目的とした。

【実験方法】まず、SVO 薄膜成長中の Si 基板表面の酸化を抑制するため、Si 基板の表面処理を行った。RCA 洗浄した p-Si(100) 基板上に PLD 法によって SrO 層を酸素圧 $P_{\text{O}_2} = 10^{-7} \text{ Torr}$ 、基板温度 $T_{\text{sub}} = 500^\circ\text{C}$ で堆積させた後、基板表面を反射高速電子線回折 (RHEED) で回折パターンを観察しながら $T_{\text{sub}} = 700^\circ\text{C}$ でポストアニール処理を行い Sr で終端された 2×1 Si 再構成表面を形成した。SVO の成膜は再構成表面上に $P_{\text{O}_2} = 10^{-5} \text{ Torr}$ 、 $T_{\text{sub}} = 400^\circ\text{C} \sim 600^\circ\text{C}$ の条件で、同じく PLD 法により行った。本実験で、SVO の膜厚は約 65nm とした。得られた SVO/p-Si(100) 試料の表面に金電極を蒸着し、常温にて接合方向と SVO 薄膜の面内方向の電流-電圧 (I-V) 測定を行った。

【実験結果】 $T_{\text{sub}} = 500, 600^\circ\text{C}$ 成膜した薄膜において RHEED でハローパターンが確認されたことから、同条件にて得られた SVO 薄膜は多結晶成長していると考えられる。図 2 に $T_{\text{sub}} = 600^\circ\text{C}$ で作製した SVO 薄膜に関する I-V 特性を示す。作製した SVO/p-Si(100) 接合の I-V 曲線は、今回作製した全ての試料で整流性を示し、SVO/p-Si(100) 接合はショットキー接合になっていることが分かった。一方、膜の面内方向の I-V 曲線はほぼ直線となった。面内 I-V 曲線から得られる抵抗値と試料の形状因子から SVO 薄膜の抵抗率を求めたところ、 $T_{\text{sub}} = 600^\circ\text{C}$ のとき最も小さく、 $\rho = 1.48 \times 10^{-2} \Omega \cdot \text{m}$ であった。当日は、通常のショットキー接合との比較を含め議論する予定である。

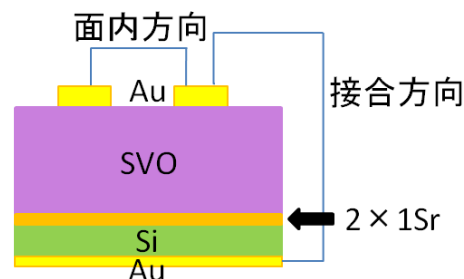
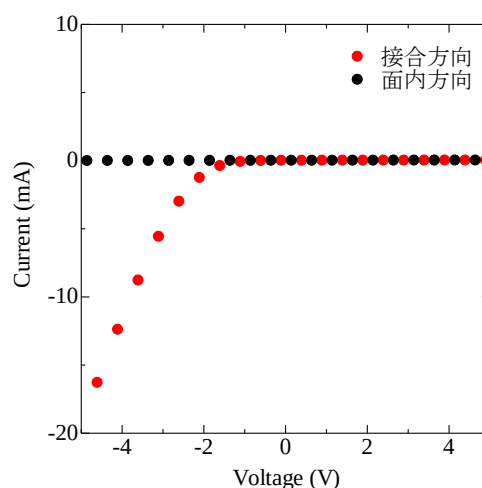


図 1 試料構造の模式図

図 2 I-V 特性 ($T_{\text{sub}} = 600^\circ\text{C}$)