

FinFET-ナノディスクアレイ構造デバイスによる時間軸での積和演算

Time-domain multiply-and-accumulation with a FinFET and nanodisk array structures

九工大生命体¹, 産総研², 東北大流体研³倉光 良明¹, 東原 敬¹, 遠藤 和彦², 寒川 誠二³, 昌原 明植², 森江 隆¹Kyushu Inst.¹, AIST², Tohoku Univ.³,Y. Kuramitsu¹, T. Tohara¹, K. Endo², S. Samukawa³, M. Masahara², and T. Morie¹

E-mail: morie@brain.kyutech.ac.jp

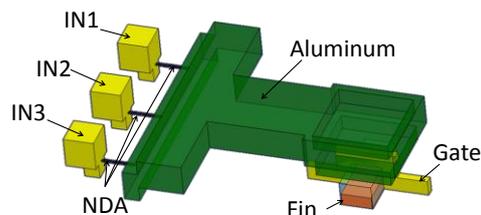
[背景・目的] 脳の情報処理機能を模倣した大規模脳型集積システムを開発するために、スパイクパルスにより駆動される積分発火型ニューロンモデルを実現するナノデバイスを開発している。これまでに、FinFET と、分子の自己組織化機能を利用したバイオナノテンプレートによる 2 次元シリコンナノディスクアレイ (NDA) 構造を結合したデバイス (NDA-FinFET) を提案し、作製を試みている [1]。このデバイスではスパイクのタイミングを用いた時間軸での演算が可能で、シミュレーションにより単一パルス入力に対する応答波形を調べてきた [2]。ここで、NDA は高抵抗素子として働き、FinFET の微小ゲート容量と共に、スパイク入力のタイミングで緩やかに立ち上がる応答波形を生成する。今回、複数入力に対して、出力応答波形の立ち上がりの傾斜を利用して、時間軸での積和演算 (積分演算) ができることをシミュレーションにより確認したので報告する。

[実験方法と結果] 図 1 に示すように 3 入力 NDA-FinFET 構造を設計した。ここで、NDA と FinFET ゲートは Al 配線で結合している。この構造について、電磁界解析ソフトウェアにより容量抽出を行って等価回路を作成し、自作の単電子回路シミュレータにより解析して、FinFET ゲートに相当する出力電極の電位変化を求めた。3 入力パルスの入力タイミングを 10ns ずつずらし、パルス電圧は同一とした。図 2 に、入力パルス電圧を 2.0V, 2.5V, 3.0V とした場合の応答波形を示す。印加する電圧を上げると立ち上がり波形の傾きが増加し、パルスが重なる毎に傾きがほぼ 2 倍, 3 倍となり、電圧値はほぼ 3 倍, 6 倍となっている。このことから応答波形の立ち上がりタイミングと傾きにより、複数入力の積和演算が行えることを示した。

参考文献

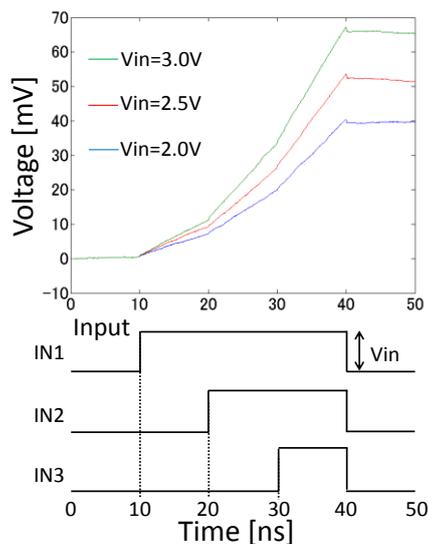
[1] 東原等, 2013 年春季第 60 回応用物理学会学術講演会。

[2] T. Morie, *et al.*, ASP-DAC, pp. 185-190, 2014.



Nanodisk size	Diameter	10 nm
	Height	2 nm
	Space	3 nm
Number of NDs in NDA		16x3
Space of Input-Aluminum		220 nm
Capacitance of Gate (FinFET)		230 aF

Fig. 1: NDA-FinFET structure.



Vin [V]	Timing [ns]	Slope [mV/ns]	ratio	Voltage [mV]	ratio
2	20	0.68	1.00	6.79	1.00
	30	1.29	1.90	19.69	2.90
	40	2.01	2.96	39.77	5.86
2.5	20	0.95	1.39	9.46	1.39
	30	1.79	2.64	27.39	4.03
	40	2.78	4.09	55.15	8.12
3	20	1.12	1.65	11.21	1.65
	30	2.30	3.38	34.14	5.03
	40	3.49	5.14	69.03	10.17

Fig. 2: Simulation results.