

高温スパッタリング法における MoS₂ 薄膜化と電気特性MoS₂ Film Thinning and Electrical Characteristics on High-Temperature Sputtering東工大¹, 明治大², [○]大橋匠¹, 山口晋平¹, 松浦賢太郎¹, 須田耕平², 石原聖也², 澤本直美²,角嶋邦之¹, 杉井信之¹, 西山彰¹, 片岡好則¹, 名取研二¹, 筒井一生¹, 岩井洋¹, 小椋厚志², 若林整¹Tokyo Tech.¹, Meiji Univ.², [○]T. Ohashi¹, S. Yamaguchi¹, K. Matsuura¹, K. Suda², S. Ishihara², N. Sawamoto²,K. Kakushima¹, N. Sugii¹, A. Nishiyama¹, Y. Kataoka¹, K. Natori¹, K. Tsutsui¹, H. Iwai¹, A. Ogura² and H. Wakabayashi¹

E-mail: ohashi.t.af@m.titech.ac.jp

1. はじめに

2次元材料の一つである MoS₂は、バンドギャップ(単層: 1.8 eV, 多層: 1.2 eV)を持ち[1, 2], 柔軟性・光透過性など良好な機械的・光学的特性を持つことから、次世代の極微細 CMOS 実現が期待されている。MoS₂の成膜には剥離法や CVD が主に用いられているが、実用的な成膜方法の確立が望まれる。また、これまで報告されている MoS₂ MOSFET は *n*-type のデプレッション型で動作していて[1, 3], Na 汚染が要因の一つとして考えられる[4]. そこで本研究では、生産性が高く、比較的クリーンなプロセスであるスパッタリング法による MoS₂ 薄膜を形成したので以下に報告する。

2. MoS₂ 薄膜の形成

RF マグネトロンスパッタリングを用いて、300°C に加熱した SiO₂/Si 基板に MoS₂ を堆積させた。Fig. 1 に成膜直後の MoS₂ 薄膜の断面 TEM 像を示す。同図(および Raman 分光評価結果)より、300°C 高温スパッタリングにより、SiO₂ との界面に平行な層状の MoS₂ 膜が形成されていることがわかる。また、スパッタリングにより形成された MoS₂ 膜のキャリア密度は剥離法による報告と比較し、1/1000 程度に低減された(Fig. 2)。

3. まとめ

300°C 高温スパッタリング法を用いて、SiO₂/Si 基板上に、5 nm までの MoS₂ 薄膜の形成に成功した。また、既存の MoS₂ 膜よりもキャリア密度を大幅に低減することができ、昨年度の秋季応物で報告した通り[5], キャリア密度低減により MoS₂ MOSFET のエンハンスメント型での動作が期待される。

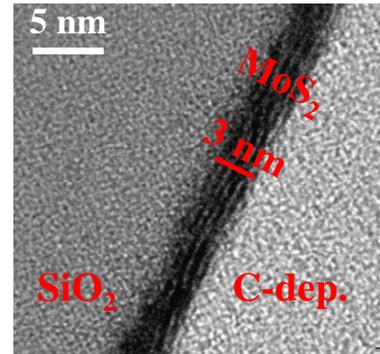


Fig. 1 Formation of MoS₂ thin film (5 layers) directly on SiO₂ by high-temperature sputtering (300°C).

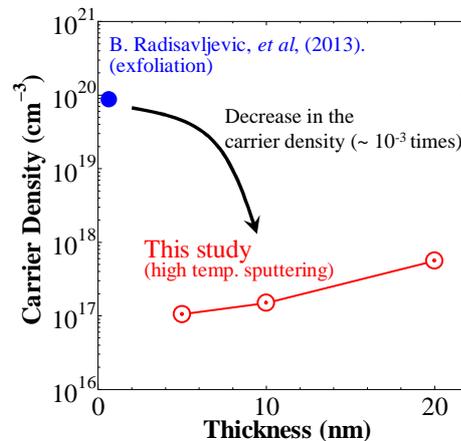


Fig. 2 Carrier density on thickness of sputtered MoS₂ film.

謝辞 本研究の一部は日本学術振興会 (JSPS) および JST, COI-T プログラムの支援を受けている。

参考文献

- [1] H. Wang, *et al.*, *IEDM*, 4.6, 88-91, (2012).
- [2] A. Kuc, *et al.*, *Physical review B* **83**, 245213, (2011).
- [3] B. Radisavljevic, *et al.*, *Nature Nanotech.*, **6**, 147-150, (2011).
- [4] K. Dolui, *et al.*, *Physical review B* **87**, 165402, (2013).
- [5] 大橋, 他, 第 74 回秋季応物, 19p-C8-14, (2013).