

極薄膜 Ge シード層を適用した Si (001) 基板上 Ge 層の低暗電流の観察

Observation of low dark current of Ge layer on Si (001) using ultrathin Ge seed layer

技術研究組合光電子融合基盤技術研究所 ○奥村 滋一, 下山 峰史, 小野 英輝, 三浦 真,
野口 将高, 藤方 潤一, 最上 徹, 堀川 剛, 田中 有, 森戸 健

PETRA, °Shigekazu Okumura, Takasi Simoyama, Hideki Ono, Makoto Miura, Masataka Noguchi,
Junichi Fujikata, Tohru Mogami, Tsuyoshi Horikawa, Yu Tanaka, and Ken Morito

E-mail: s-okumura@petra-jp.org

[はじめに] Ge 受光器は、CMOS プロセスとの親和性の観点からシリコンフォトニクス集積素子への適用が期待されている。一方で、Si と Ge の間の 4.2% の格子不整合に起因する欠陥により、効率、暗電流等の受光器の特性の劣化が懸念される。そこで、低温/高温成長層界面で欠陥をルーピングさせて低欠陥の Ge 層を得る手法により、低暗電流、高受光効率の優れた特性を有する受光器が報告されている[1, 2]。しかし、高い効率を得るためには厚い Ge 膜厚が必要とされるため[2]、高段差になることから、金属配線プロセスに課題が残る。したがって、Ge 層の全体の厚さを低減する為には、欠陥の少ない高温層厚さを維持しつつ、欠陥の多い低温層の膜厚を低減する必要がある。その一方、薄い低温層では、欠陥ルーピングが形成されず、暗電流が増加することが懸念される。そこで今回、Ge 層全体を薄くしつつも光吸収に有効に機能する高温層の厚さを保つことを目的に、低温層の厚さが Ge 層の暗電流特性と結晶性に与える影響を調べた。

[実験] p 型 Si (100) 基板上に、減圧化学気相成長法 (RP-CVD 法) によって図 1 に示す構造を選択成長した。成長原料として SiH_4 および GeH_4 を、キャリアガスとして H_2 を適用した。高温アニールによる酸化膜の除去後、 350°C まで降温し、低温層を成長した。続いて、 H_2 雰囲気下で 600°C まで昇温し、高温層と厚さ 20 nm の $\text{Si}_{0.9}\text{Ge}_{0.1}$ キャップ層を成長した。最後に、 SiO_2 膜を成膜し、Ge 頂上部に Ti/TiN/Al 電極を、p 型 Si 基板裏面に Al 電極を形成した。本報告では、全 Ge 膜厚を 500 nm で一定として、低温層の厚さを 130 nm、50 nm、5 nm、0 nm (低温層なし) と変え、図 1 の素子構造の電気特性評価を行った。また、Ge 層の結晶性との相関を調べるために、同様の厚さの低温層を適用した Ge 層の断面 TEM 観察を行った。

[結果と考察] 作製した素子の電気特性の結果を図 2 に示す。Si 基板側をグランドとして、上部電極に負バイアス印加時に順方向、正バイアス印加時に逆方向のショットキー特性を示した。Ge 中の欠陥はアクセプタとして機能することから、マジョリティキャリアはホールであると考えられる。低温層ありの試料は暗電流が低く抑えられているのに対し、低温層なしの試料で暗電流が増加しているのが確認された。逆方向電圧 5 V 時の暗電流の温度依存性を図 3 に示す。低温層なしの試料でアレニウスプロットの傾きが緩やかになっており、暗電流の増加は Ge 層中の欠陥増加に起因することが示唆された。さらに、図 4 に TEM 観察結果を示す。5 nm の極薄低温層を適用した試料でも Ge/Si 界面で欠陥がルーピングされ、欠陥の伝搬が抑制されている。一方で、低温層なしの試料では欠陥ルーピングが不十分で上方に貫通した欠陥が見られる。これが電流通路となり、暗電流増加の原因となっていると考えられる。以上より、5 nm の薄膜の低温層の適用は貫通欠陥の抑制による暗電流低減に有効であり、高温層厚さを維持することが可能で、受光器の特性を落とすことなく Ge 層を薄膜化できることが期待される。

[謝辞] 本研究は NEDO の「超低消費電力型光エレクトロニクス実装システム技術開発」により委託を受けたものである。

[参考文献] [1] V.A. Shah *et al.*, TSP, **519** (2011) 7911, [2] Fujikata *et al.*, JJAP. **52** (2013) 04CG10

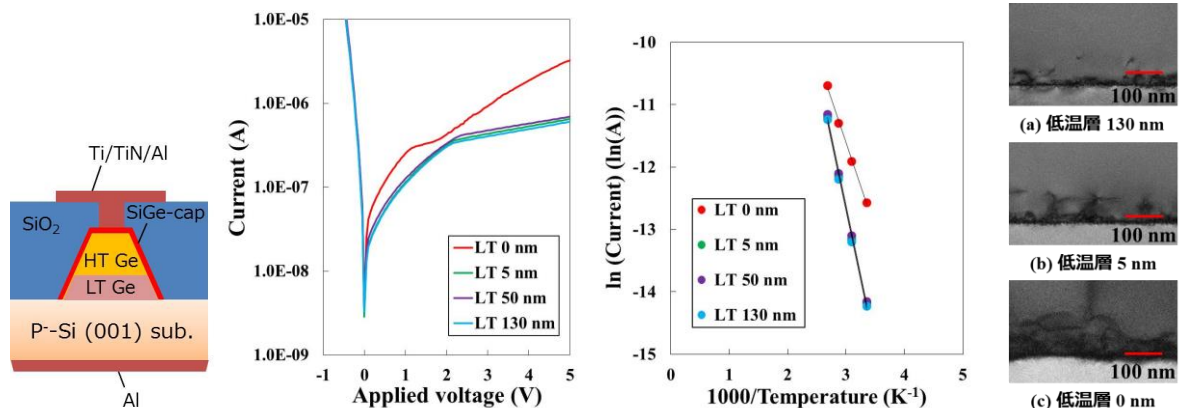


図 1 素子構造

図 2 電気特性の低温層厚さ依存性

図 3 暗電流の温度依存性 (5V 時)

図 4 断面 TEM 像