

デジタルエッチングを用いた GaN HEMT のノーマリーオフ化

Normally-Off GaN HEMT using Digital Etching Technique

¹東工大院理工, ²三菱電機株式会社○山中僚大¹, 金澤徹¹, 柳生栄治², 宮本恭幸¹¹Tokyo Tech, ²Mitsubishi Electric Corporation○R. Yamanaka¹, T. Kanazawa¹, E. Yagyu², and Y. Miyamoto¹

E-mail: yamanaka.r.ac@m.titech.ac.jp

研究背景

GaN-HEMT のパワーデバイスへの応用にはしきい値が正であるノーマリーオフであることが必須である。ノーマリーオフ化はゲート下をエッチングすることで行なえる。従来ウェット処理のみでのデジタルエッチング[1][2]が報告されているが、本研究では RIE を用いた O₂ アッシングによりゲート下の酸化を行った後に酸化層を塩酸で除去するデジタルエッチング方法を用いて、しきい値の制御を試みた。

デバイス構造

Fig.1 に作製したデバイスの断面図を示す。ゲート長は 10 μ m、ソースドレイン間距離は 30 μ m とした。デジタルエッチングによりゲート下を 15nm 薄層化し、二次元電子ガス濃度を減らすことでノーマリーオフ動作を目指した。

作製プロセス

基板構造は、i-GaN 3 nm/i-AlGa_{0.2}N 20 nm/i-GaN/バッファ/n-Si Sub である。Fig. 2 に SiO₂ をマスクとして RIE を用いた O₂ アッシングによる酸化と HCl:H₂O=1:10 にてウェットエッチングする行程を繰り返すデジタルエッチングした基板の断面 TEM 像・表面 SEM 像を示す。異方性の強いリアクティブイオンエッチングによる酸化と酸化層のウェットエッチングを組み合わせる事でアンダーカットの入らないエッチングを行えることが分かる。

プロセスとしてはまず Ti/Al/Ti/Au からなる S/D 電極を形成する。次に SiO₂ 膜を堆積しゲート部窓開けした後、デジタルエッチングを用いてゲート下を薄層化する。最後に Pd/Au からなるゲート電極を蒸着し S/D コンタクト穴開けをして完成となる。

測定結果

デジタルエッチングを用いてゲート下の薄層化を行うことでノーマリーオフ動作を確認できた。Fig. 3 に I_D-V_D 特性を、Fig. 4 に I_D-V_G 特性を示す。ドレイン電圧 V_D が 5[V] 時にしきい値電圧 V_{th} は 0.54[V] と正の値が得られた。

参考文献

- [1] Ye Wang et al., IEEE Electron Device Lett. **34**, 1370 (2013).
 [2] D. Buttari et al., IEEE Lester Eastman Conf. High Perform. Devices, 2002, p. 461.

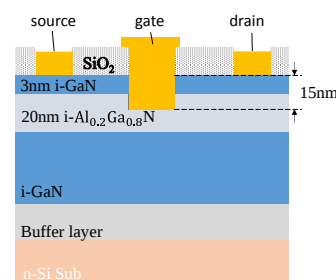


Fig. 1 Fabricated GaN-HEMT device on this study.

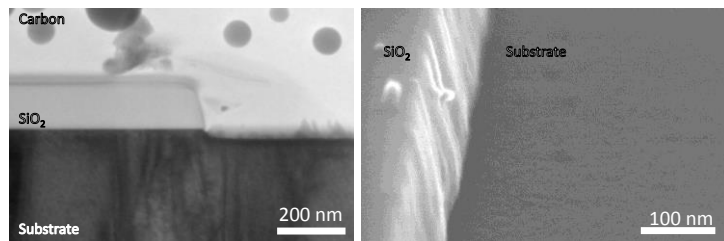
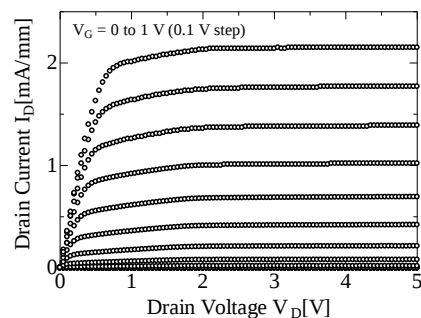
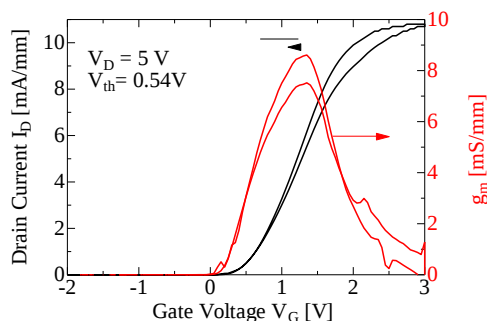


Fig. 2 TEM and SEM images of the etching area.

Fig. 3 I_D-V_D characteristics.Fig. 4 I_D-V_G characteristics.