

# p-Cu<sub>2</sub>O/SiO<sub>x</sub>/n-SiC pn ダイオード構造抵抗変化型メモリの低温形成技術

## Low-Temperature Fabrication Processes of p-Cu<sub>2</sub>O/SiO<sub>x</sub>/n-SiC pn-Diode-Structured Resistive Nonvolatile Memory

東京農工大院工, °山下 敦史, 塚本 貴広, 須田 良幸

Graduate School of Eng. Tokyo Univ. of Agric. & Technol., °A. Yamashita, T. Tsukamoto, Y. Suda

E-mail: sudayos@cc.tuat.ac.jp

**【研究背景・目的】** 情報記憶媒体の大容量化を目的として、現行のメモリ素子よりも高密度に集積できるとされている、2 端子型のメモリ素子に関する研究が進められている。我々は、2 端子型メモリを理論上最も高密度に集積できるクロスポイント型配列に適した、整流性を併せ持つ p-Cu<sub>2</sub>O/SiO<sub>x</sub>/n-SiC pn ダイオード構造の抵抗変化型メモリダイオードを提案してきた。今回は、本メモリ素子の作製プロセスの低温化を進め、現行の LSI 作製プロセスへの適合を目指した。

**【実験方法】** n-Si(111) 4° off 基板上的 n-SiC 層の形成は、従来の 800°C でのスパッタ成膜から室温でのスパッタ成膜に変更した。また、SiO<sub>x</sub> 層の形成は、従来の 800°C での熱酸化から室温でのスパッタ成膜に変更した。p-Cu<sub>2</sub>O 層は、従来通り蒸着で Cu を 50nm 成膜し、200°C で 60min 熱酸化することで形成した。表面と裏面に電極を形成した後、メモリ特性を調べた。SiC の結晶性評価には X 線回折(XRD)を、SiO<sub>x</sub> の組成分析には光電子分光(XPS)を用いた。

**【実験結果】** 図 1 に SiC の XRD による結晶性評価の結果を示す。840°C で形成した SiC から 3C-SiC(111)に対応するピークが観測できたのに対し、室温で形成した SiC からこのピークは観測されなかった。室温で形成した SiC はアモルファス状態になっていると考えられる。図 2 に SiO<sub>x</sub> の組成分析結果を示す。従来の作製プロセスで作製した試料と同様に、SiC 層と SiO<sub>x</sub> 層を室温スパッタで形成した試料においても、不完全酸化膜 SiO<sub>x</sub> に対応するピークが観測された。従来の作製プロセスと同様に、メモリ動作に起因する不完全酸化膜 SiO<sub>x</sub> の形成が確認でき、メモリ効果が得られると予測される。図 3 に、素子の I-V 特性を示す。室温成膜でのプロセスを導入したメモリ素子においても、従来と同様の大きなヒステリシスと、整流性を取得した。以上の結果より、クロスポイント型配列に適用可能な本メモリ素子を、現行の作製プロセスに適した 200°C 以下の低温プロセスで作製することが可能となった。

**【謝辞】** 本研究の一部は JSPS 科研費 26289099 の助成を受けて実施した。

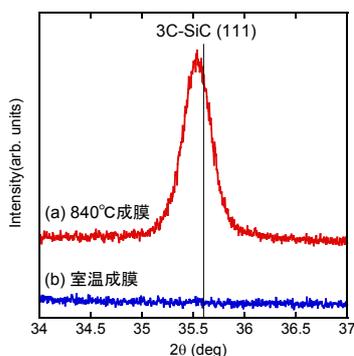


図 1 SiC の結晶性(XRD)

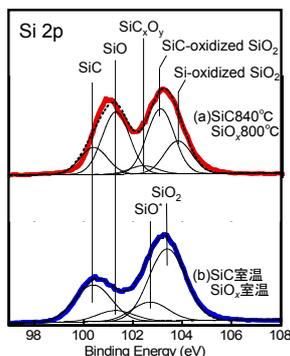


図 2 SiO<sub>x</sub> の組成分析(XPS)

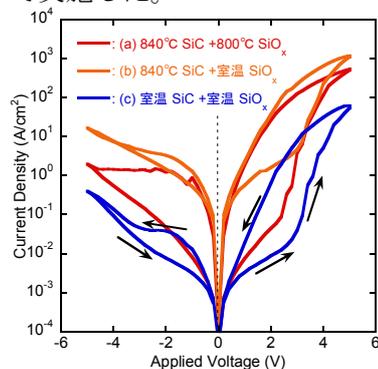


図 3 I-V 特性