

Al₂O₃ をゲート絶縁膜とした歪み Ge MOS 構造の電気特性Electrical properties of strained Ge MOS structure with Al₂O₃ gate dielectric都市大総研¹, 慶應義塾大², Warwick 大³○ 深山 剛¹, 田中 伸之介², 田中 貴久², マクシム ミロノフ³,
牧 英之², 伊藤 公平², 澤野 憲太郎¹Tokyo City Univ.¹, Keio Univ.², Univ. of Warwick³○ T. Fukayama¹, S. Tanaka², T. Tanaka², M. Myronov³, H. Maki², K. M. Itoh², and K. Sawano¹E-mail: sawano@tcu.ac.jp

【はじめに】 歪み Ge は、次世代 CMOS の p チャンネル材料として期待されており、3000cm²/Vs を超える室温正孔移動度[1]も報告されている。さらに Ge はスピン軌道相互作用が大きいことから、高移動度 2 次元ホールガスによるスピンドバイス応用も検討されている。これらの実現に向けて最重要な課題は、良質な歪み Ge MOS 構造の形成といえる。今回我々は、ALD 法を用いて堆積した Al₂O₃ をゲート酸化膜として用いた歪み Ge MOS 構造を作製し、電気特性評価を行った。

【実験】 作製した試料構造を Fig.1 に示す。まず、n 型 Si(100)基板上に RPCVD を用いて傾斜組成法により緩和 Si_{0.6}Ge_{0.4} バッファ層を作製した。CMP による平坦化後、固体ソース MBE を用いて歪み Ge チャンネル層 10 nm ~ 20 nm を 300 °C で作製した。その上に Si/SiGe(3 nm/20 nm)キャップ層の挿入するものとし、その上に ALD 法を用いてゲート酸化膜として Al₂O₃ を堆積した。その後、試料上にホールバー、ゲート電極を形成し、ゲート付きホール測定を行った。

【結果】 Fig.2 に歪み Ge 20 nm、キャップ層ありの試料について各温度ごとの正孔移動度の正孔密度依存性を示す。ゲートバイアスによって大きく正孔濃度を変調できていることが分かる。3 ~ 160 K では正孔密度が減少していくにつれて移動度も減少していることから、この温度領域では、主な散乱要因がイオン化不純物散乱であると考えられる。ここで特徴的なことは、3 K の移動度が 80 ~ 160 K よりも大幅に減少していくことである。これは、以前ゲート酸化膜として CVD で堆積した SiO₂ を用いて調べた結果[2]とは異なる現象であり、現在その要因について検討中である。Ge チャンネルへ直接 Al₂O₃ を堆積した構造については当日報告する。

【謝辞】 本研究の一部は、文科省私立大学戦略的研究基盤形成支援事業、科学研究費補助金、総務省 SCOPE プロジェクトの支援を受けて行われた。

[1] T. Tanaka et al. APL 100, 222102 (2012). [2] K. Sawano et al. APEX 1, 011401 (2008).

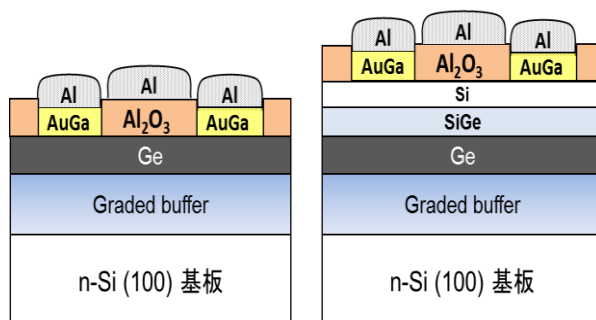


Fig.1 歪み Ge MOS 構造

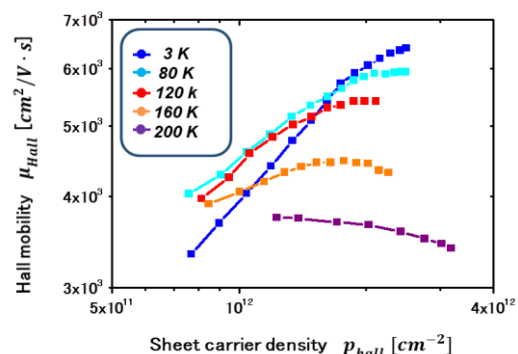


Fig.2 移動度の正孔密度依存性