スパッタエピタキシー法による SiGe バッファを用いた歪 Si 層形成技術

Strained-Si Formation Technology Using SiGe Buffer Formed by Sputter Epitaxy Method

東京農工大院工¹, 情報通信研究機構²

^O本橋 叡¹, 広瀬 信光², 笠松 章史², 三村 高志², 松井 敏明², 塚本 貴広¹, 須田 良幸¹

Tokyo Univ. of Agric. & Technol.¹, National Inst. of Information and Communications Technol.²

[°]Akira Motohashi¹, Nobumitsu Hirose², Akihumi Kasamatsu², Takashi Mimura²,

Toshiaki Matsui², Takahiro Tsukamoto¹ and Yoshiyuki Suda¹

E-mail: sudayos@cc.tuat.ac.jp

【はじめに】我々は、歪 Si チャネルを用いたショットキーゲート型 Si/Si_{1-x}Ge_x系高速 FET の作製 を目標とし、そのための Si_{1-x}Ge_x多層膜成長方法として、環境軽負荷型のスパッタエピタキシー法 を用いている[1]. 我々はこれまで、歪 Si を形成するため、歪緩和 4 層 Si_{1-x}Ge_xバッファを提案し [2]、ガスを用いる化学気相成長法などと比較しても良好な結晶特性を実現している[3]. 今回この 歪緩和 4 層バッファ成膜条件についてさらに検討し、高い緩和率と平坦性を得たので報告する.

【実験方法】提案している歪緩和4層 SiGe バッファとその上に形成した歪 Si 層からなる構造を図1に示す.本歪緩和バッファは段階的に Ge 組成比 x を変えて4層の Si_{1-x}Ge_x層を形成しており, 界面転位を下層に集中し,上層への貫通転位の伝播を抑制することで,組成傾斜型バッファに比して薄い膜厚で高い SiGe 緩和率を取得し,同時にスパッタエピタキシー法により平坦性を得ている[3].本実験ではスパッタエピタキシー法により,成膜温度を 500℃から 650℃まで変えて図 1 の試料を成膜し,X線回折逆格子空間マップ,透過電子顕微鏡(TEM),原子間力顕微鏡(AFM)によって,バッファの結晶性と緩和率,および,歪 Si の結晶性と平坦性と歪率などとの相関を調べた.

【結果と考察】図2の断面 TEM 像に示すとおり、4 層 SiGe バッファ層の下層第1層に60°転位 が導入されており、上層は転位が伝搬せず、平坦化形成されている.また、図3にX線回折法に より求めたバッファ各層の緩和率および歪i-Siの歪率を示す.バッファ各層の緩和率および歪i-Si の歪率は、成膜温度が高くなるにつれ高くなり、550℃付近から、飽和する傾向を示した.また、 この550℃付近から、転位が導入されている厚さ100 nmのSi_{0.84}Ge_{0.16}第1層の緩和率がほぼ100% になっている.このため、第1層の格子間隔がほぼ本来の立方晶の格子間隔に近づき、歪Siの歪 率が飽和したと考えられる.AFM により測定された成膜温度550℃での表面ラフネス(RMS)0.43 nm,X線回折法により求めた歪率は0.73%であり、平坦性と歪率の高い歪Si層が形成できている.

この研究の一部は、情報通信研究機構先端 ICT デバイスラボで実施された.

【参考文献】[1] H. Hanafusa et al., Jpn. J. Appl. Phys., 47 (2008) 3020. [2] H. Maekawa et al., J. Cryst. Growth, 301/302 (2007) 1017. [3] H. Hanafusa et al., Appl. Phys. Express, 4 (2011) 025701.



Fig. 1. Structure of samples.





