

貼り合わせ法による高移動度歪み GOI の作製

Fabrication of high-mobility strained Ge-on-Insulator (GOI) by wafer bonding

都市大総研¹, 阪大基礎工², 九大院シス情³○長嶋 智典¹, 勝俣 洋典¹, 浜屋 宏平^{2,3}, 宮尾 正信³, 澤野 憲太郎^{1*}Tokyo City Univ.¹, Osaka Univ.², Kyushu Univ.³°T. Nagashima¹, H. Katsumata¹, K. Hamaya^{2,3}, M. Miyao³, and K. Sawano^{1*}*E-mail: sawano@tcu.ac.jp

【はじめに】 近年、高移動度 Ge-CMOS や Si ベースの光デバイスとして Ge が注目され、特に GOI (Ge-on-Insulator) 構造が有望である。これまでに我々は GOI 基板作製手法、及び高移動度を有する Ge のエピ成長膜とその GOI 化について報告している[1,2]。今回、エピ Ge 膜の成長温度による電気特性の比較、GOI 構造における Hall 移動度評価を行ったので報告する。

【実験】 Fig.1 に示すプロセスにより GOI 構造を作製した。Si(100)及び(111)基板上に固体ソース MBE を用いて成長温度 350°C で膜厚 40 nm の LT-Ge 層を成長させた後、成長温度 600~800°C で 500nm~1µm の HT-Ge 層を成長した。その後、SiO₂/Si 支持基板への貼り合わせと選択エッチングプロセスにより GOI を作製した。GOI 作製前の Si 基板上 Ge エピ膜 (Ge-on-Si) と GOI 構造について Hall 測定を行った。

【結果】 Fig.1 に各成長温度の Ge-on-Si、及び GOI 構造の Hall 移動度と正孔密度の温度特性を示す。Ge-on-Si の移動度について見ると、低温領域では、成長温度が高い方が高移動度、低正孔密度であり、結晶性が良好であることを示す。一方、室温付近で大幅な移動度の低下、正孔密度増大が見られた。これは、欠陥を多量に含む LT-Ge 層からの低移動度の正孔が、室温付近で急激に増加し、全体としての移動度を低下させているためと考えられる。

GOI 構造において、この LT-Ge 層は完全に除去されるため室温で 2090cm²/Vs という高正孔 Hall 移動度が得られた。この Hall 移動度は高純度バルク Ge の Hall 移動度とほぼ一致し、この GOI 構造が非常に高品質であることを示している。本研究の一部は、文科省私立大学戦略的研究基盤形成支援事業、科学研究費補助金、NEDO 産業技術研究助成事業、総務省 SCOPE の支援を受けて行われた。

[1] Y. Hoshi et al., APEX 5, 015701 (2012).
[2] 長嶋他、第 74 回応用物理学会
18a-B-48

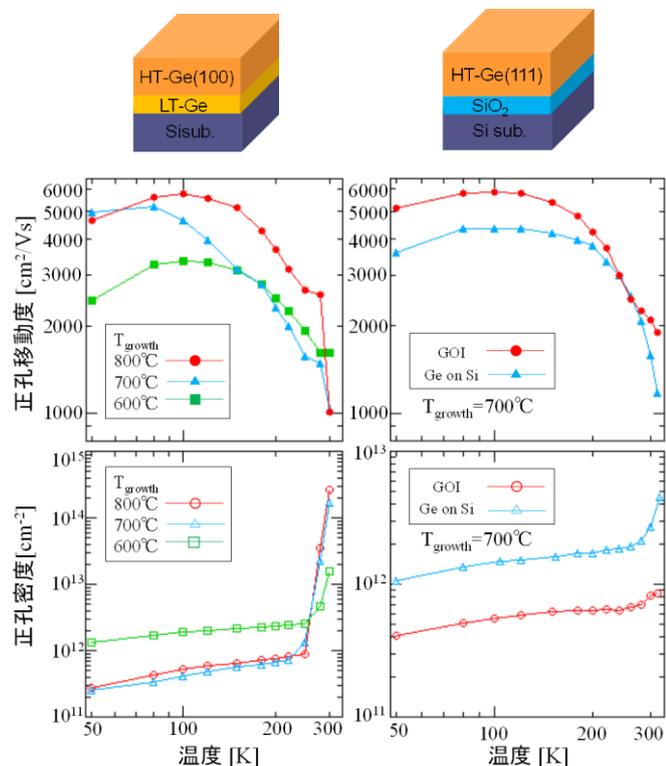


Fig.1 Ge on Si 及び GOI 構造のホール測定