

SiN 膜組成制御による MONOS 型メモリ消去速度-保持特性両立 Optimization of SiN Composition Profile to Improve Erase-Retention Tradeoff in MONOS Memories

(株)東芝 研究開発センター LSI 基盤技術ラボラトリー

○藤井 章輔, 草井 悠, 佐久間 究, 小山 正人

Advanced LSI Technology Laboratory, Corporate R&D Center, Toshiba Corporation

○Shosuke Fujii, Haruka Kusai, Kiwamu Sakuma, Masato Koyama

E-mail: shosuke.fujii@toshiba.co.jp

【はじめに】次世代メモリの有力な候補として、Metal-Oxide-Nitride-Oxide-Silicon (MONOS)型メモリの研究開発が進められている。MONOS 型メモリの消去速度を向上させる技術として Si-rich SiN を電荷蓄積層に採用する検討が進められているが、Si-rich SiN MONOS はデータ保持劣化が顕著なことが明らかになっている。このため、消去速度と保持特性を両立する電荷蓄積層の開発が望まれている。我々はこれまでに、Si-rich SiN MONOS の電荷捕獲位置と電荷の抜ける方向という観点から保持メカニズムを議論し、消去速度-保持特性両立のための SiN 層の設計指針を提示した [1]。本研究では、この設計指針に沿った MONOS 型メモリを試作し、消去速度-保持特性のトレードオフを改善する特性を得たので報告する。

【実験方法】トンネル膜 5nm/電荷蓄積層 SiN 3nm/ブロック膜 15nm の MONOS を試作した。SiN の組成比は成膜中のガス流量比により制御した。成膜した SiN の屈折率(RI)を Table I に示す。RI=1.99 が Si₃N₄ であり、組成比が Si 過剰になるほど RI は上昇する。本研究では、組成比の異なる SiN 層を積層した構造、および Si 過剰 SiN (MSRN) に後処理を施した MONOS のメモリ特性を評価した。消去速度は-18V のパルス電圧印加によるフラットバンド電圧のシフト量 (ΔV_{fb}) を評価し、電荷保持特性は 85°C15h 保持後の ΔV_{fb} を評価した。

【結果と考察】Fig.1 に、試作した MONOS メモリの消去速度と保持特性を比較した結果を示す。従来最も特性の良かった積層 SiN 構造では、上層の SiN 組成をより Si 過剰にする (MSRN/SRN) と、消去速度は上昇する一方で保持特性は劣化することが分かった。すなわち、積層 SiN 構造を用いた MONOS においても、消去速度-保持特性のトレードオフが存在する。このような従来技術に対し、我々は新たに、MSRN 層を成膜後にプラズマ窒化することで SiN 層の組成を制御する手法を試みた。その結果、プラズマ窒化した MONOS (MSRN-n) は、積層 SiN 構造の MONOS よりも消去速度-保持特性のトレードオフが改善することが明らかになった。このことは、我々の提案した SiN 設計指針により説明できる。すなわち、書き込み動作後の電子は SiN/ブロック膜界面に局在して捕獲されるため、電子の捕獲位置のみ保持特性の良い窒素過剰組成にし、その他の領域の電荷蓄積層は電子の移動しやすいシリコン過剰組成とすることで消去特性-保持特性の両立が可能となる。MSRN に対するプラズマ窒化処理により、捕獲電子の分布に適した SiN 組成プロファイルを持つ電荷蓄積層が実現できたと考えられる。

Table I. Structures of SiN layers for MONOS devices

メモリ素子	電荷蓄積層 SiN
MSRN/SRN	RI=2.23 1.5nm / RI=2.09 1.5nm
MSRN/SiN	RI=2.23 1.5nm / RI=2.00 1.5nm
MSRN-n	RI=2.23 3nm / N ₂ プラズマ窒化

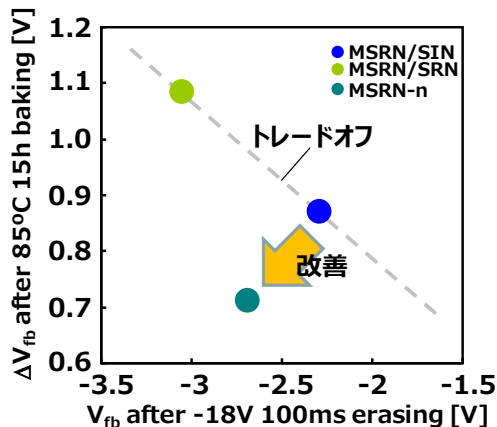


Fig1. Relationship between data retention and erase performance.

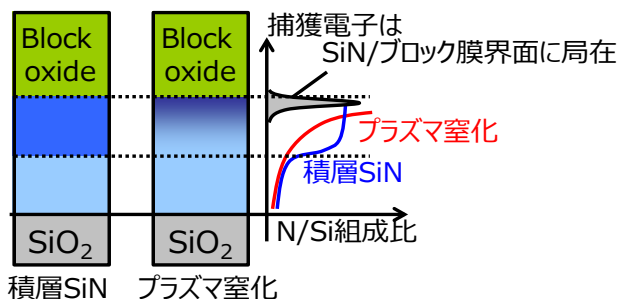


Fig2. Possible mechanism for the improvement of the tradeoff.