

O₂ 混合 Ar スパッタにより成膜した高耐圧 SiO₂ 膜の電気特性評価

Electrical Characterization of SiO₂ Films with High Breakdown Voltage

Deposited by RF Sputtering Using O₂/Ar Mixture

琉球大 工¹, °岡田 竜弥, 井村 公彦, 野口 隆

Univ. of the Ryukyus, °Tatsuya Okada, Kimihiko Imura, and Takashi Noguchi

E-mail: tokada@tec.u-ryukyu.ac.jp

【はじめに】

現在、TV などの液晶ディスプレイの製作として、面均一性の観点から、化学気相成長法 (CVD) を用いて成膜した半導体膜や絶縁膜が広く用いられている。基板として、安価なガラスが求められるが、さらなる低コスト化、軽量化などの観点から、プラスチックを含め、より低耐熱性の基板材料の検討が進んでいる。これまでに我々は、Ar ガスに O₂ ガスを混合した RF スパッタを用いることで、室温製膜でもリーク電流が低く耐圧が高い SiO₂ 膜が得られることを報告した[1]。今回も、同様に室温製膜した SiO₂ 膜について報告する。

【実験および結果】

p 型 Si(100)基板 (抵抗率 ~10 Ωcm) を洗浄後、Ar ガス 10 sccm と O₂ ガス 3 sccm を用いて SiO₂ 膜の室温成膜を行った。ターゲットには SiO₂ を使い、RF パワー 450 W、ガス圧力 1.4 mTorr とし、40 nm の SiO₂ 膜を成膜した後、0.5 mmφ の Al 電極を形成し、電気的特性を評価した。

-20 ~ 20 V で測定した高周波 CV 特性を Fig. 1 に示す。このとき測定は 100 kHz で行なった。熱酸化膜 (30 nm) と比較して、フラットバンド電圧が 6 V 程度負側にシフトし、1.6 V 程度の反時計回りのヒステリシスが観測された。また、掃引範囲 -10 ~ 10 V においてヒステリシスは 0.6 V 程度であり、掃引する電圧幅の増大によりヒステリシス幅 ΔV は増大した。これらの結果より、膜中の正の固定電荷によりフラットバンド電圧がシフトし、またヒステリシスは繰り返し観測されることから、電圧掃引により電荷が浅い欠陥にトラップされていると考えられる。電圧掃引によりトラップされる電荷量を $\Delta Q = C_{ox} \times \Delta V$ とし、-20 ~ 20 V の掃引でトラップされる面電荷密度 $\Delta Q/q$ を求めると、約 1.1×10^{12} electrons/cm² であることが分かった。

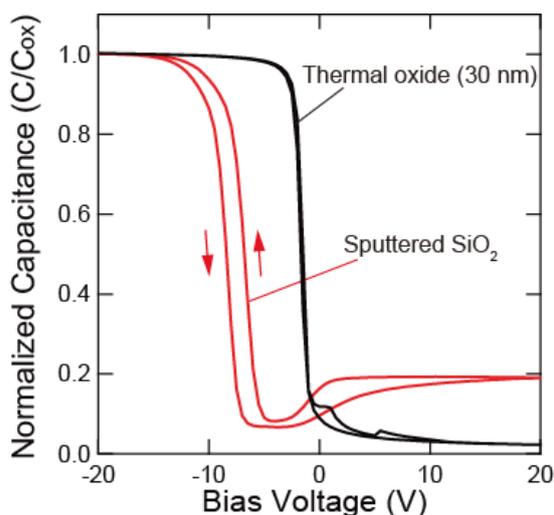


Fig. 1 High Frequency C-V Curves

【参考文献】

[1] 井村 他、第 74 回応用物理学会秋季学術講演会 (2013 秋) p.13-107 [19p-B4-16].