

版を用いない印刷・塗布法で作製した CNT 薄膜トランジスタアレイ CNT Thin-Film Transistor Array Fabricated by Maskless Printing and Coating Process

TASC¹, AIST², NEC³ ◯沼田 秀昭^{1,3}, 佐々木 扶紗子¹, 斎藤 毅^{1,2}, 二瓶 史行³

TASC¹, AIST², NEC Corp.³ ◯H. Numata^{1,3}, F. Sasaki¹, T. Saito^{1,2}, and F. Nihey³

E-mail: h-numata@tasc-nt.or.jp

はじめに 印刷エレクトロニクスでは、材料の堆積とパターン形成を同時に行うので、製造プロセスの短縮と使用原料の削減が可能である。我々は、特に版を用いない印刷法および塗布法を用いて CNT 薄膜トランジスタ(TFT)の作製技術の研究・開発を行ってきた^[1-3]。デバイスパターンは電子データで供給され、作製のためのリードタイムを大幅に短縮できる。そのため、多品種少量生産、オン・デマンドでのデバイス作製に対応でき、センサシート応用などでは、設置場所ごとの仕様・構成に合わせた一品モノの作製も可能である。今回、プラスチック上に無版の印刷・塗布法で作製した CNT TFT のアレイ動作に成功したので報告する。

作製プロセスとデバイス特性

eDIPS 法^[4]で合成した直径約 1.0nm の CNT を分散し、電界誘起層形成法^[5-6]を用いて半導体 CNT を抽出、CNT インクとした。デバイス作製プロセスを図 1 に示す。プラスチックフィルム上に、電極はインクジェット、CNT チャンネルはインクディスペンサ、絶縁膜はスピコート法で形成した。プロセス温度は 200°C 以下である。作製した CNT TFT の 16×16 アレイ(約 7cm²)と素子の顕微鏡写真を図 2 に示す。ドレイン電極はビット線に接続され、ゲート電極はワード線として用いている。ソース電極は、各素子に設けた素子電極に接続され、測定ジグでグラウンドに接地される。作製した CNT TFT アレイの一部の素子電極を紙でマスクし、各トランジスタ

の出力電流を調べた。紙マスクは TFT の負荷となり、抵抗変化型のセンサに相当する。図 3 に示すような出力電流 MAP が得られ、印刷 CNT TFT がアレイの選択スイッチとして正常に機能することが確認された。

謝辞 この成果は、独立行政法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務の結果得られた。

参考文献 [1] H. Numata *et al.*, *Proc. IEEE Nano* 2011, p. 1000. [2] H. Numata *et al.*, *APEX*, 5, 055102, 2012. [3] H. Numata *et al.*, *Proc. IEEE Nano* 2012, 8479. [4] T. Saito *et al.*, *J. Nanosci. Nanotech.*, **8**, p. 6153, 2008. [5] K. Ihara *et al.*, *J. Phys. Chem. C*, **115**, p. 22827, 2011. [6] F. Sasaki *et al.*, *Proc. 43th FNTG General Symp.*, p. 85, 2012.

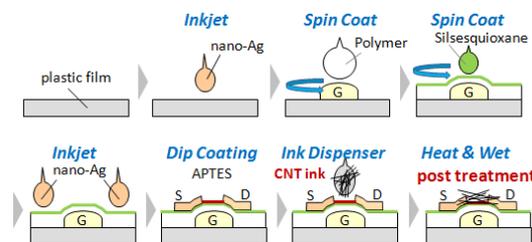


図 1 CNT トランジスタの作製プロセス

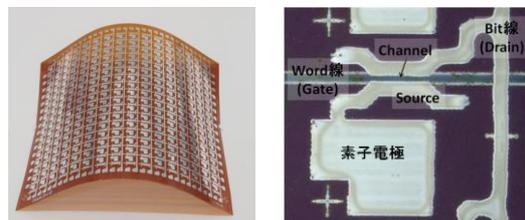


図 2 印刷・塗布法で作製した CNT トランジスタ

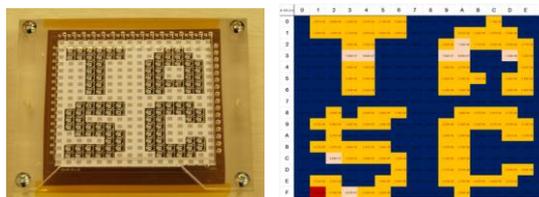


図 3 素子電極マスクと、印刷 CNT トランジスタアレイの出力電流マップ