

## 高熱伝導率 BOX SOI FinFET のアナログおよび I/O 動作特性評価

## Evaluation of Analog and I/O Characteristics in SOI FinFETs with High Thermal Conductivity BOX layer

慶應大理工 電子工<sup>1</sup>, CREST, JST<sup>2</sup>  
○高橋 綱己<sup>1,2</sup>, 内田 建<sup>1,2</sup>Dept. Electronics and Electrical Eng., Keio Univ.<sup>1</sup>, CREST, JST<sup>2</sup>  
○Tsunaki Takahashi<sup>1,2</sup> and Ken Uchida<sup>1,2</sup>

E-mail: takahashi@ssn.elec.keio.ac.jp, uchidak@elec.keio.ac.jp

【背景および目的】 FinFET に代表される立体構造トランジスタは電気特性に優れる一方で、動作時の温度が上昇してしまう自己加熱効果の問題が指摘されている。自己加熱効果は主に低熱伝導率の BOX 層 (シリコン酸化膜) に起因するため、高熱伝導率材料を BOX 層に採用すれば温度上昇の抑制が期待される。BOX 材料の変更は電気特性にも影響を与える可能性があるが、高熱伝導率 BOX SOI FinFET の電気・熱特性はこれまで詳細には調べられていない。本研究では、素子あたりの消費電力が大きいことから特に自己加熱効果が深刻になると予想されるアナログ動作と I/O 動作に注目し、高熱伝導率 BOX SOI FinFET の電気・熱解析を行った。

【計算手法】 キャリア輸送特性・発熱特性の計算には Synopsys 社のデバイスシミュレータを用いた。最小ゲート長 10 nm, 電源電圧 0.65 V の世代を想定し、I/O 動作 FinFET についてはゲート長 80 nm, 電源電圧 3.3 V とした。熱解析時はシリコン熱伝導率への不純物添加および薄膜化の影響を考慮している[1]。また、現在量産されているバルク FinFET は、14 nm 世代以降においては STI 膜厚 100 nm を下回ると OFF 電流の条件を満たすことができず、薄膜 BOX SOI FinFET の方が電氣的・熱的に優れた特性を示すことが知られている[1]。そこで、SiO<sub>2</sub> (室温熱伝導率 1.4 Wm<sup>-1</sup>K<sup>-1</sup>), Al<sub>2</sub>O<sub>3</sub> (同 30 Wm<sup>-1</sup>K<sup>-1</sup>), AlN (同 320 Wm<sup>-1</sup>K<sup>-1</sup>) をそれぞれ BOX 層とする SOI FinFET の解析を行った。

【結果および考察】 はじめに、I/O 素子において単位投入電力あたりの温度上昇に相当する熱抵抗を評価した (図 1)。BOX 膜厚 ( $t_{\text{BOX}}$ ) によらず Al<sub>2</sub>O<sub>3</sub>/AlN BOX 素子の熱抵抗が SiO<sub>2</sub> BOX 素子より低いことから、高熱伝導率 BOX 材料適用によって温度上昇が低減できることが分かった。同様の傾向はアナログ動作素子についても確認された。次に、アナログ動作特性を遮断周波数  $f_T$  によって評価した (図 2)。SiO<sub>2</sub> BOX 素子では、 $t_{\text{BOX}}$  増加に伴い自己加熱効果が顕著になり  $f_T$  が低下する[1]が、温度上昇が抑制されている Al<sub>2</sub>O<sub>3</sub>, AlN BOX 素子ではその傾向はほとんど現れないことが明らかになった。また、薄膜 BOX 領域の  $f_T$  は BOX 材料の誘電率を反映した寄生容量によって制限されている。

表 1 に各素子の  $f_T$ , I/O 動作時の平均素子温度上昇  $\Delta T_{\text{I/O}}$ , I/O 動作平均温度における OFF 電流  $I_{\text{leak,I/O}}$  を示す。ここで、各素子の  $t_{\text{BOX}}$  は  $f_T$  の最大値を与える膜厚にそれぞれ設定した。また、I/O 動作時の消費電力  $P_{\text{I/O}}$  を、負荷容量  $C_{\text{load}} = 8C_g$  ( $C_g$ : ゲート容量) を用いて  $P_{\text{I/O}} = C_{\text{load}} V_{\text{dd}}^2 f$  ( $V_{\text{dd}} = 3.3$  V,  $f = 3$  GHz) とし、平均温度上昇を  $\Delta T_{\text{I/O}} = R_{\text{th}} P_{\text{I/O}}$  として計算している。この結果から、Al<sub>2</sub>O<sub>3</sub> または AlN を BOX に採用し、最適な膜厚設計を行うことで、アナログ動作特性をほぼ一定に保ちつつ I/O 動作温度および OFF 電流を低減できることが明らかになった。

【結論】 Al<sub>2</sub>O<sub>3</sub>, AlN を BOX 層とした SOI FinFET のアナログおよび I/O 特性の電気・熱解析を行い、SiO<sub>2</sub> BOX 構造と比較した。高熱伝導率 BOX 層の採用および膜厚最適化により素子の熱抵抗は大幅に低減し、アナログ特性を犠牲にすることなく I/O 動作温度を削減できることが明らかになった。

謝辞: 本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われた。本研究は JSPS 科研費 26870574 の助成を受けている。

[1] T. Takahashi et al., *Jpn. J. Appl. Phys.*, **52**, 04CC03 (2013).

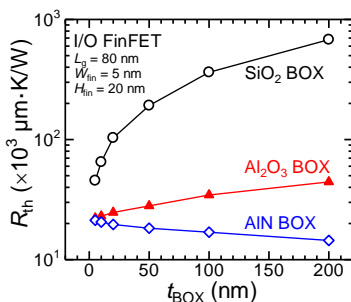


図 1: SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, AlN BOX SOI FinFET における熱抵抗  $R_{\text{th}}$  と BOX 膜厚  $t_{\text{BOX}}$  の関係。

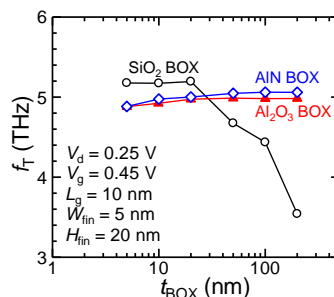


図 2: 各 SOI FinFET における遮断周波数  $f_T$  と  $t_{\text{BOX}}$  の関係。

表 1: 各素子の  $f_T$ , I/O 動作時の平均素子温度上昇  $\Delta T_{\text{I/O}}$ , I/O 動作時平均温度における OFF 電流  $I_{\text{leak,I/O}}$ .

BOX	$t_{\text{BOX}}$ (nm)	$f_T$ (THz)	$\Delta T_{\text{I/O}}$ (K)	$I_{\text{leak,I/O}}$ (pA/ $\mu\text{m}$ )
SiO <sub>2</sub>	20	5.19	41.9	99.6
Al <sub>2</sub> O <sub>3</sub>	50	4.98	11.4	19.7
AlN	200	5.06	5.87	14.2