19p-A16-15

横方向液相エピタキシャル成長法により形成した GeSn-on-insulator 層の電気特性評価

Electrical characterization of GeSn-on-insulator layers fabricated by lateral liquid-phase epitaxy

阪大院工, ○梶村 恵子, 細井 卓治, 志村 考功, 渡部 平司

Osaka Univ., K. Kajimura, T. Hosoi, T. Shimura and H. Watanabe

Email: kajimura@asf.mls.eng.osaka-u.ac.jp

【はじめに】Ge はキャリア移動度が Si に比べ高く、次世代チャネル材料として注目されている。また、近年 Ge に Sn を添加することでバンドギャップが変調され、電子・正孔ともに移動度が向上することが報告されている。我々はこれまで、GOI 構造を形成する技術として横方向液相エピタキシャル成長（LLPE ： lateral liquid-phase epitaxy）法を検討してきた[1-2]。また SOI 基板上に LLPE-GOI 層をチャネルとしたトランジスタを作製し、split-CV 法により約 500 cm^2/Vs の正孔移動度を確認している[3]。これは、LLPE-GOI 層が高い結晶性を有し、SiO_2 との界面特性も優れていることを示している。本実験では LLPE 法を用いて作製した GeSn-on-insulator 層の電気特性及びトランジスタ特性の評価を行った。

【実験及び結果】SOI 基板を洗浄後、結晶成長のシード領域となる SOI 層をウェットエッチングにより形成した。その後アモルファス GeSn 層（膜厚：110 nm, Sn 濃度：2.3%）を成膜し、細線状（幅：3 μm, 長さ：500 μm）に加工した。Y_2O_3 層（50 nm）および SiO_2 層（1 μm）でキャップした後、N_2 雰囲気中で急速加熱処理（950°C, 1 sec）を行い液相成長を促した。形成された GeSn 細線の両端に Al コンタクトを形成し、Si 基板をバックゲートとするトランジスタを作製した（Fig. 1(b)）。作製した GeSn 細線には、Fig. 1(a) 下図に示すように細線端で Sn の析出が生じた。これは、シード領域からの LLPE 成長過程で Sn が結晶成長方向に掃き出された結果と考えられる[4]。一方、ごく一部の細線では析出がみられないものもあり、ランダム核形成が生じたと思われる。Fig. 2 に作製したトランジスタの I_d-V_g 特性を示す。Sn 析出がある、すなわち液相成長した細線をチャネルとした場合、ON/OFF が明瞭に見られたのに対して、Sn 析出のない細線では非常に高いオフ電流を示した。これはランダム核形成では GeSn 中に多くの欠陥が存在するためと考えられ、シード領域から LLPE 成長した細線の優れた結晶性を示唆している。

[1] T. Hashimoto *et al.*, APEX **2**, 066502 (2009). [2] Y. Suzuki *et al.*, APL **101**, 202105 (2012).
[3] T. Hosoi *et al.*, IWDTF S8-2 (2013).
[4] 冨永　他, 第 61 回応用物理学会春季学術講演会 18a-F6-11.

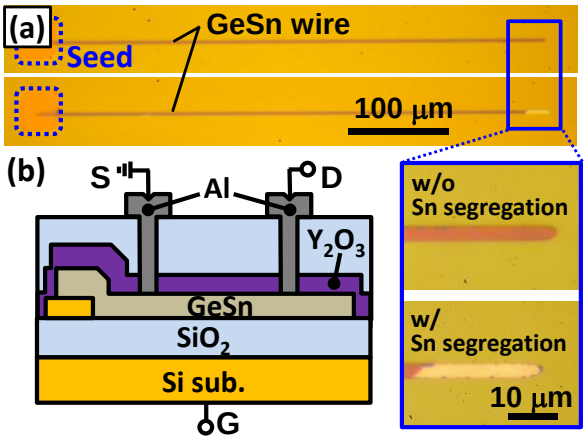

Fig. 1 (a) Typical optical microscope images and (b) schematic cross-section of back-gate LLPE-GeSn-on-insulator MOSFET.

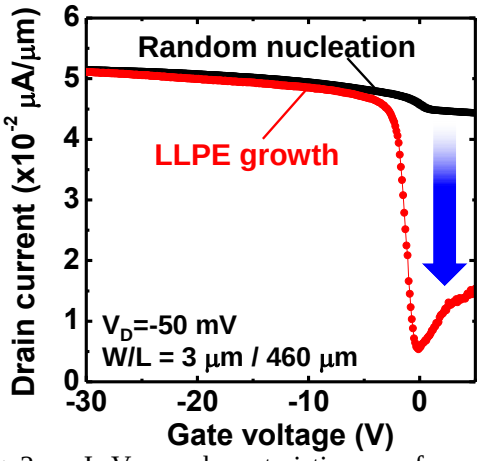

Fig. 2 I_d-V_g characteristics of p-type GeSn-on-insulator MOSFET with gate width/length of 3/460 μm under accumulation condition.

© 2014 年　応用物理学会