固相エピタキシャル成長法による高 Sn 組成(>20%)SiSn 薄膜の創製

Solid phase epitaxy of SiSn thin-films with high Sn content (>20%)

名古屋大院工¹, 学振特別研究員 (PD)², ⁰加藤元太¹, 黒澤昌志^{1,2}, 山羽隆¹, 田岡紀之¹, 中塚理¹, 財満鎭明¹ ¹Graduate School of Engineering, Nagoya University, ²JSPS Research Fellow (PD) ⁰M. Kato¹, M. Kurosawa^{1,2}, T. Yamaha¹, N. Taoka¹, O. Nakatsuka¹, and S. Zaima¹ E-mail: kurosawa@alice.xtal.nagoya-u.ac.jp

[はじめに] 格子置換位置に Sn を 30%程度取り込んだ SiSn は、直接遷移型半導体になることが理論予測されている[1]。 しかし、Si に対する Sn の熱平衡固溶限は 0.1 %以下と非常 に小さく、これまで実現の目途は立っていなかった。最近 我々は、非晶質 Si に Sn を 30%添加すれば、Sn 融点(231.9℃) で SiSn の結晶化、即ち、固相成長が進行し、20%を超える Sn 組成の多結晶 SiSn を絶縁膜上に形成できることを報告し た[2]。今回、SiSn (Sn 組成 21.5%) に格子整合する Ge 基板 を選択することで、SiSn 薄膜の固相エピタキシャル成長に 成功したので報告する。

[実験方法] 表面清浄化した Ge(001)基板上に分子線堆積法 により非晶質 SiSn (膜厚:50 nm、目標 Sn 組成:30%、基板 温度:100℃)を成膜した。尚、100℃成膜しているが、成膜 直後の試料最表面は非晶質であることを RHEED 像により確 認している。その後、窒素雰囲気中において Sn 融点(231.9℃) 以下の熱処理(220℃、5h)を施し、SiSn の固相エピタキシ ャル成長を誘起した。

[実験結果] オージェ電子分光(AES)法により熱処理前後 の元素深さ分布を評価した(Fig.1)。成膜直後の膜中 Sn 組 成は約 20%であり、表面に向かって Sn 濃度が増加する。 220℃熱処理後においてもこのプロファイルにほとんど変化 は見られない。つまり、熱処理による SiSn 膜中での Sn の偏 析や拡散が生じないことがわかる。熱処理後のX線回折2次 元逆格子空間マップ(XRD-2DRSM)を Fig. 2 に示す。Ge224 付近に SiSn224 に起因する回折ピークが観測される。この ピーク位置から見積もられる格子置換位置 Sn 組成は 21.8% であり、先の AES の結果(Fig. 1)とほぼ同じ値である。つ まり、基板の格子定数と同じ大きさの格子を形成する程度に まで、膜中に存在する多数の Sn 原子が平衡固溶限界を超え て格子置換位置に取り込まれることを示唆している。顕微ラ マン分光法(励起波長: 532 nm)により Si および Sn の結合 状態を評価した結果を Fig. 3 に示す。熱処理後に明瞭な Si-Si、Si-Sn および Sn-Sn 結合を示すピークが観測される。Si-Si 結合ピーク位置が bulk-Si よりも 15.6 cm⁻¹ 低波数側にシフ トしており、SiSn が形成されていることが確認できる。以 上、固相成長法により熱平衡固溶限の 200 倍を超える SiSn 単結晶薄膜の形成に成功した。

[1] J. Tolle et al., Appl. Phys. Lett. 89, 231924 (2006).

[2] M. Kurosawa et al., 2013 秋応物 (18p-B4-5); ISTDM 2014 (P14).



Fig. 1 Depth profiles of $Si_{1-x}Sn_x/Ge$ samples. Before (broken line) and after annealing at 220°C for 5 h (solid line).



Fig. 2 XRD-2DRSM of $Si_{1-x}Sn_{x'}$ Ge sample after annealing at 220°C for 5 h.



Fig. 3 Raman scattering spectra of $Si_{1-x}Sn_x/Ge$ samples before and after annealing at 220°C for 5 h.