

プラズマ後窒化 HfO₂/Al₂O₃/SiGe_{0.32} MOS 界面の電極依存性 The impact of gate electrode on HfO₂/Al₂O₃/SiGe_{0.32} MOS interface with plasma post-nitridation

東大院工¹, JST-CREST²

○韓在勲^{1,2}, 竹中充^{1,2}, 高木信一^{1,2}
Univ. of Tokyo¹, JST-CREST²

○Jaehoon Han^{1,2}, M. Takenaka^{1,2}, S. Takagi^{1,2}
E-mail: hanjh@mosfet.t.u-tokyo.ac.jp

【はじめに】近年、高い正孔移動度を持つ歪シリコンゲルマニウム(SiGe)が高性能 MOSFET のチャンネル材料として注目され、低い Ge 組成を持つ SiGe MOSFET は既に実用化の段階に入っている。SiGe は光の変調効率を向上するため、Si のキャリアプラズマ効果を増大する材料としても期待されている[1]。しかし、SiGe MOS 界面の高い界面準位密度(D_{it})は MOS デバイスの高性能化の妨げとなっており、 D_{it} の低減化技術の開発が急務となっている。我々は、これまでに ECR (Electron cyclotron resonance)法によるプラズマ後窒化により、EOT (Effective oxide thickness)の増加を抑制しつつ、低 D_{it} を持つ良好な SiGe MOS 界面が得られることを報告した[2]。また、プラズマ後窒化を用いた HfO₂/Al₂O₃/SiGe MOS 構造を用いることで良好な MOS 界面特性を保ったまま、EOT スケーリングが実現出来る可能性を示した[3]。しかし、この技術で 2 nm を切る EOT の報告はなく、低 EOT を持つ MOS 構造の実現が急務とされている。今までの報告で使用した Al 電極は酸化されやすく、EOT スケーリングが難しい。低 EOT を実現するためには、Al 以外の電極を用いる必要がある。本研究では、HfO₂/Al₂O₃/SiGe MOS 構造のスケーリングのためのゲート電極依存性を調べると共に、2 nm を切る EOT を持つプラズマ後窒化 HfO₂/Al₂O₃/SiGe MOS 構造について報告する。

【実験結果】図 1 にプラズマ後窒化による SiGe MOS キャパシタの作製プロセスを示す。基板として、Si 上にエピタキシャル成長した膜厚 8 nm の SiGe_{0.32} を用意した。ALD (Atomic layer deposition)法で基板上に Al₂O₃ を 0.3 nm 堆積させた後、ECR 法で発生させた RF パワー 150 W の窒素プラズマを 300°C で加熱させた基板に 10 秒間照射した。その後、HfO₂ を追加堆積し、電極形成、熱処理を経てキャパシタを完成させた。PDA と PMA は 400°C で 1 分間施した。ゲート電極はスパッタ法で堆積した TiN, Ta と熱蒸着で堆積した Al を用いた。最後に TiN と Ta の上には Al をパット電極として堆積した。図 2 に作製した各々のキャパシタの CV 特性を示す。界面準位による周波数分散は Al が一番小さいが、表 1 から分かるように、EOT とゲートリークの面で Al は不利である。EOT を 1.5 nm 以下にスケーリングした場合、Al 電極 MOS キャパシタの C-V 特性が測定できない

ほどゲートリークが増大してしまう。Ta と TiN はゲートリークの面ではほぼ同等だが、Ta の EOT が小さい結果となった。この結果を受けて、Ta ゲート電極を用いて EOT スケーリングを試みた。図 3 にプラズマ後窒化条件を最適化した EOT 1.1 nm の Al/Ta/HfO₂/Al₂O₃/SiGe_{0.32} MOS キャパシタの CV 特性を示す。ALD で Al₂O₃ を 0.2 nm 堆積した後、プラズマ後窒化を施し、その上に HfO₂ を 2.4 nm 堆積した。周波数分散が小さいことから、良好な MOS 界面特性を保ったまま 1.1 nm の EOT が実現されたことが分かる。

【謝辞】本研究の一部は独立行政法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務の結果得られたものである。また、技術支援をいただいた住友化学株式会社市川磨氏、長田剛規氏、秦雅彦氏に深く感謝申し上げる。

【参考文献】 [1] M. Takenaka and S. Takagi, JQE, 48, p. 8, 2012 [2] 韓在勲他, 第 60 回応用物理学会春季学術講演会, 神奈川工科大学, 28a-G2-6 [3] 韓在勲他, 第 74 回応用物理学会秋季学術講演会, 同志社大学, 17p-B5-8

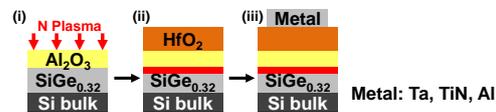


図1. SiGe MOS キャパシタの作製プロセス.

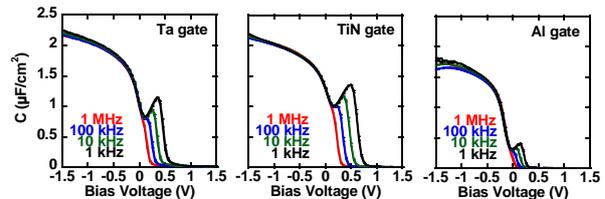


図2. 各ゲート電極に対する CV 特性

	EOT [nm]	J _g at V _{fb} -1V [A/cm ²]	J _g at V _{fb} -2V [A/cm ²]
Ta	1.21	4.42E-06	5.47E-04
TiN	1.23	1.58E-06	7.56E-04
Al	1.54	1.44E-02	1.02E+00

表1. 各ゲート電極に対する EOT とリーク電流

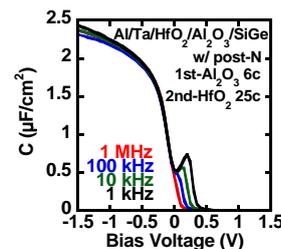


図2. EOT 1.2 nm のプラズマ後窒化 Al/Ta/HfO₂/Al₂O₃/SiGe_{0.32} MOS キャパシタ