

## ローコスト TSV 向けテーパエッチング開発

### Development of taper etching for low cost TSV.

技術研究組合 NMEMS 技術研究機構<sup>1</sup>, アルバック 半導体電子技術研究所<sup>2</sup>

○作石 敏幸<sup>1,2</sup>, 村山 貴英<sup>1,2</sup>, 森川 泰宏<sup>1,2</sup>,

NMEMS Technology Research Organization<sup>1</sup>

ULVAC, Inc., Institute of Semiconductor and Electronics Technologies<sup>2</sup>

○Toshiyuki Sakuishi<sup>1,2</sup>, Takahide Murayama<sup>1,2</sup>, Yasuhiro Morikawa<sup>1,2</sup>

E-mail: toshiya\_sakuishi@ulvac.com

【はじめに】ムーアの法則に基づいた微細化による LSI の性能向上が限界に近づきつつあり、3次元実装技術を用いた LSI チップの積層、集積技術は、今後、不可欠となることが予測される。Si 貫通ビア (TSV : Through Si Via) を用いた、2.5D/3D 実装技術は、デバイスの高速化、高集積化、低消費電力化を実現する有力な手法である一方、製造コストと長期信頼性課題が指摘されている。コスト課題に対し、TSV 工程において大きな割合を占める成膜・埋め込み工程は、ビアの微細化、高アスペクト化により一層、難易度が増す。これに対し、ビア形状を垂直から、テーパにすることで、成膜工程でのカバレッジ向上と、埋め込み工程の高速化を実現し、TSV 製造コストを低減することが提案されている。我々が、開発を進めてきたダイレクトエッチング法は、スキヤロップのない平滑側壁の実現とともに、従来法では、難しかったテーパ形状の加工が容易な手法である。図 1 は、垂直形状と、テーパ形状の加工を行い、Cu メッキまで行ったものである。テーパ形状にメッキをしたもの (左下写真) は、垂直形状にメッキしたもの (右下写真) に比べ、

埋め込み性が改善していることがわかる。テーパエッチング技術は、TSV 製造コストを低減し、TSV の普及を進めるための不可欠技術となることが期待される。

本研究は NEDO(新エネルギー・産業技術総合開発機構)の支援を受け行われました。

#### Reference:

1. Pejman Monajemi et al., "DESIGN AND PROCESS OPTIMIZATION OF THROUGH SILICON VIA INTERPOSER FOR 3D-IC INTEGRATION." in *Proc. (IMAPS)*, San Diego, CA, Sep.9-13, 2012
2. Y. Morikawa et al., "A novel scallop free TSV etching method in magnetic neutral loop discharge plasma." in *Proc. IEEE Electronic Components and Technol. Conf. (ECTC)*, San Diego,

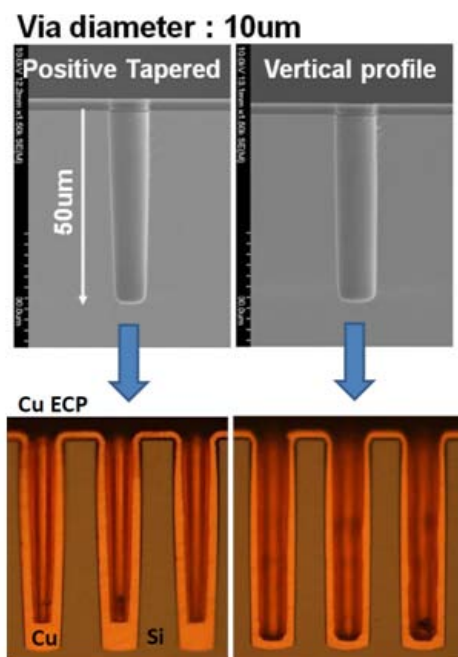


図 1