

3次元積層集積デバイス向け高アスペクト比のビア深さ測定

Directly Depth Measurement Tool of High Aspect Ratio Via Hole

for Three Dimension Stacked Device

富士通株式会社 ◯中村 誠, 北田 秀樹, 作山 誠樹

Fujitsu Limited, ◯Makoto Nakamura, Hideki Kitada, Seiki Sakuyama

E-mail: marumakan@jp.fujitsu.com

シリコン貫通電極(TSV)を用いて同種または異種デバイスを積層集積してデバイスの高機能化をはかる 3次元集積技術は、デバイスの微細化の限界を打破する技術として非常に注目されている。TSVを有するデバイスの高歩留まりを低ライン負荷で実現するためには、高アスペクト比(10以上)のビアを小さな面内分布で形成する技術が重要となる。そこで、高アスペクト比のビアの深さを正確に計測する技術について検討した。

ビアの深さを測定する技術として、分光干渉法を用いてビアの裏面から赤外線を照射して Si の厚さを計測することによりビア底までの距離と Si 膜厚の差から間接的にビア深さを推定する方法が一般的に知られているが、「裏面に薄膜が成膜されている時」「シリコンが不均一な時(例えば SOI 構造など)」などでは、屈折率が不明なため、正確な測定結果を得ることが困難になる。我々は、ビア表面からプローブ光を照射し、表面から反射する光とビア底から反射する光の光路差から得られる分光干渉スペクトルを用いて、直接ビアの深さを測定する方法を試みた。本法におけるパラメータは、使用する光の波長と空気の屈折率のみで、ともに一定であるため試料構造に依存しない。実際に高アスペクト比のビアを測定した時のスペクトルの例を Fig. 1 に、多様な径と深さのビアを測定した結果を Fig. 2 に示す。φ3.3 μm, 深さ 49 μm(アスペクト比が 15)のビア深さ測定が可能であることがわかった。また、φ300mm ウエハに φ5 μm のビアを深さ 50 μm 狙いで形成した試料を計測し、面内分布を求めた結果を Fig. 3 に示す。ウエハの周辺で深めの傾向にあるが概ね均一なビア加工ができていることを確認した。なお本計測は非破壊で高速測定が可能であるため、インラインで量産プロセスをモニタすることが可能である。また、すべての TSV 形成プロセスに適用可能で、次世代積層集積デバイスのプロセス開発に寄与できると考えている。

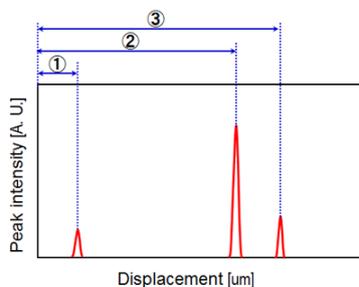


Fig. 1 Example of spectrum when via hole of high-aspect ratio is measured by spectrum interference method. Interference peak of each reflected light ① via bottom-wafer surface, ② sensor head-wafer surface, ③ sensor head- hole via bottom.

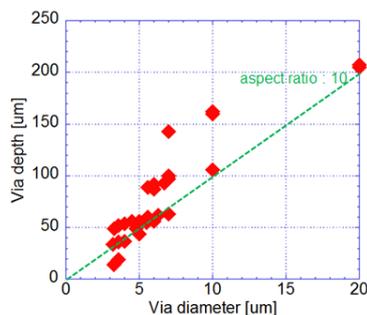


Fig. 2 Result of measuring various size via to examine measurement limit of this method.

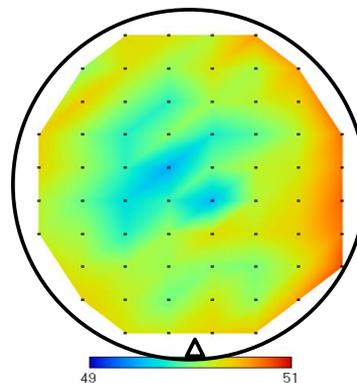


Fig. 3 Depth measurement result of φ5 μm vias formed on φ300mm wafer.