

3D IC 用ビアラスト・バックサイドビアプロセスにおける プラズマダメージの MOSFET 特性への影響評価 Evaluation of Plasma-Damage Effects on Transistor Performance in Via-last Backside-via Process for 3D IC

東北大院工¹, 東北大院医工², 東北大未来研³

○菅原 陽平¹, 橋口 日出登¹, 谷川 星野¹,

木野 久志², 福島 誉史³, 李康旭³, 小柳光正³, 田中徹^{1,2}

Dept. of Bioengineering and Robotics, Tohoku Univ.¹,

Dept. of Biomedical Engineering, Tohoku Univ.²

New Industry Creation Hatchery Center (NICHe), Tohoku Univ.³

○Y. Sugawara¹, H. Hashiguchi¹, S. Tanikawa¹,

H. Kino², T. Fukushima³, K.-W. Lee³, M. Koyanagi³, and T. Tanaka^{1,2}

E-mail: link@lbc.mech.tohoku.ac.jp

1. 緒言

MOSFET の微細化によらずに半導体集積回路の高性能化を実現する技術として三次元集積回路(3D IC)が注目されている。3D IC は薄層化したウェハやチップを縦方向に積層し、シリコン貫通配線(Through Si Via; TSV)で各層を電気的に接続することで作製する[1]。しかし 3D IC は TSV の信頼性[2][3]や歩留まりの問題から市場への普及が遅れている。

積層したウェハやチップ間の電気的接続に関して、TSV の本数を増やすことにより、歩留まりを向上させることが可能である。しかし、ビアラスト/バックサイドビアプロセスにおいては、TSV 本数を増加させると TSV 形成プロセスのプラズマによるチャージアップダメージに起因する MOSFET の特性劣化が生じる可能性がある。TSV 増加による接合歩留まり向上の実現のためにはプラズマによるチャージアップダメージが MOSFET 特性に与える影響を評価する必要がある。本研究では MOSFET を搭載した IC チップに TSV 形成プロセスの 1 つであるビアホールエッチングを施し、その前後においてトランジスタ特性を測定することでプラズマダメージの影響を評価した。

2. 実験と結果

試作した評価試料の断面構造を Fig. 1 に示す。試作は以下に示す工程で行った。はじめに Cu 配線を有する Si インターポーザを作製した。次に Si インターポーザ上に IC チップを Cu/Sn マイクロバンプを介してフェイスダウンで接合した。接合後の試料を Fig. 2 に示す。接合強度確保のために Si インターポーザと IC チップ間にエポキシ樹脂を注入した。その後、IC チップの裏面を機械的研磨および CMP (Chemical Mechanical Polishing)により削り、50 μm まで薄層化した。最後に、IC チップ裏面から金属配線(M1 配線)までビアホールエッチングを行った。ビアホールは ICP-RIE を用いたボッシュプロセスで形成した。ビアホールの数は 1、6、11、21 個と条件振りしてある。ビアホールの形成前後で MOSFET の電流-電圧特性を測定したが、今回のプロセス条件下ではしきい値電圧およびオン電流値に関して、ビアホール作製によるプラズマダメージの影響は観測されなかった。

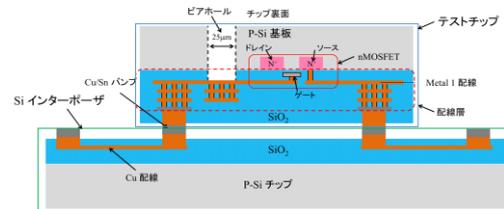


Fig.1. Cross sectional drawing of test structure for plasma damage evaluation.

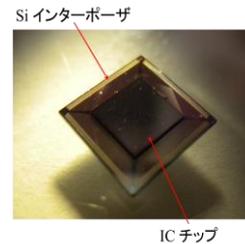


Fig.2. Photograph of the IC chip bonded on Si interposer.

3. まとめ

本研究ではビアラスト/バックサイドビア TSV 形成プロセスのビアホールエッチングによるチャージアップダメージがトランジスタ特性に与える影響を評価した。その結果、今回のプロセス条件ではビアホールエッチングプロセスは MOSFET の性能に大きな影響を与えないことが明らかになった。これは通常の M1 配線の配線容量がゲート絶縁膜容量よりも十分に大きいためであると考えられる。講演ではダメージ評価結果および得られた設計指針について詳述する。

参考文献

- [1] M. Koyanagi *et al.*, "High-density through silicon vias for 3-D LSIs," *Proc. IEEE*, vol. 97, pp. 49-59, 2009.
- [2] M. Murugesan, *et al.*, "High density 3D LSI technology using W/Cu hybrid TSVs," in *Proc. IEEE IEDM*, Washington, DC, pp. 6.6.1-6.6.4, Dec. 2011
- [3] Jichel Bea, *et al.*, "Evaluation of Cu Contamination at Backside of Thinned Wafer in 3-D Integration by Transient-Capacitance Measurement," *IEEE ELECTRON DEVICE L*, vol. 32, no. 1, pp.66-68, 2011.