

## 再配線構造による薄化 Si チップの熱変形挙動

## Thermal Deformation of Thin Si Chip with Redistribution Layer

<sup>1</sup>富士通株式会社, <sup>2</sup>富士通研究所 °土手暁<sup>1</sup>, 森田将<sup>1</sup>, 北田秀樹<sup>1</sup>, 水島賢子<sup>2</sup>, 作山誠樹<sup>1</sup><sup>1</sup>Fujitsu Limited, <sup>2</sup>Fujitsu Laboratories Ltd.°Aki Dote<sup>1</sup>, Masaru Morita<sup>1</sup>, Hideki Kitada<sup>1</sup>, Yoriko Mizushima<sup>2</sup>, Seiki Sakuyama<sup>1</sup>

E-mail: dote.aki@jp.fujitsu.com

【背景】微細化による LSI の性能向上はスケーリング則の限界や増大する消費電力・コストにより困難さを増しており、それに代わる技術として TSV(シリコン貫通電極)を形成した LSI を積層する三次元集積技術が注目されている。TSV 近傍のトランジスタ特性の変動を抑えるため TSV の径をより小さくすることが求められており、それにともない積層する LSI の Si 厚をより薄くする必要がある。複数の LSI チップは三次元的に積層された後、径 80 $\mu\text{m}$  程度のはんだバンプを用いた C4 工法によってパッケージ基板に接合される。このバンプを受けるパッド電極は、チップ積層の前に再配線層として形成しておく必要があるが、Si 厚を例えば 50 $\mu\text{m}$  以下に薄くした場合、再配線層の持つ応力によってチップの変形がより一層顕著となり、チップを積層接合する際に大きな影響を与えると予想する。そこで本研究では、再配線を形成した薄化 Si チップを用いて、接合時の温度も考慮した Si チップの反りの挙動を解析した。

【評価方法】図 1 に使用したチップの平面および断面図を示す。薄化した Si チップの厚さは 40 $\mu\text{m}$ 、再配線層の Cu 配線と絶縁樹脂層の厚さはそれぞれ 4 $\mu\text{m}$  と 5 $\mu\text{m}$  である。再配線層形成時の最高温度は絶縁樹脂硬化の 200 $^{\circ}\text{C}$  であるが、反り形状の測定は接合温度の 250 $^{\circ}\text{C}$  まで行った。チップは再配線層を上向きにガラス上に静置し、下面よりレーザー変位計を用いて形状を測定した。

【結果】図 2 に室温(a)と 250 $^{\circ}\text{C}$  に加熱時(b)、室温まで冷却した状態(c)でのチップ(6mm 角)の代表的な形状を、図 3 に各測定点での反りの値を示す。室温では再配線層(上面)の圧縮応力により下側に凸形状となるが、温度上昇とともに 100~150 $^{\circ}\text{C}$  付近で平坦になり、250 $^{\circ}\text{C}$  では引張応力により上側に凸の変形を示す。その後、冷却過程で下側に凸の形状に戻るが加熱前より大きな反りが残る。この変化は絶縁樹脂の弾性率の低下や熱膨張、硬化収縮に加え、Cu 配線の再結晶も関わる複合的な現象によって生じたと推測する。

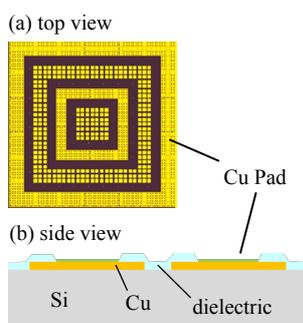


Fig.1 Layout of redistribution layer (a) and schematic diagram of side view of the thin Si chip (b).

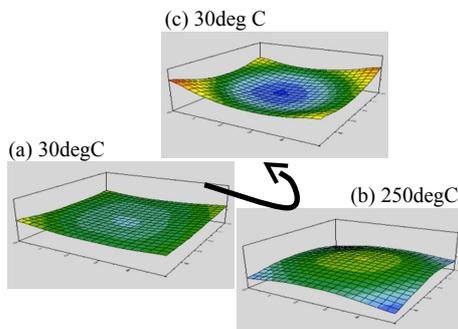


Fig.2 Deformation of thin Si chip (redistribution layer is on top side.) at the initial state (a), at reflow temperature (b), and after cooled down (c).

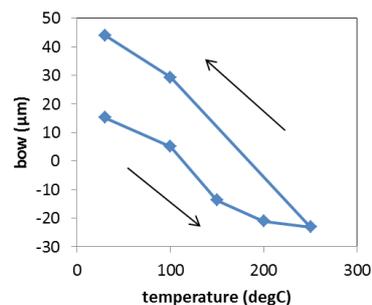


Fig.3 Bow (defined by range of height of Si surface) of the thin Si chip at each temperature