19p-A24-10

原子層堆積法向けサファイア隔膜真空計の開発

Development of the sapphire-based capacitance diaphragm gauge for the Atomic Layer Deposition

アズビル株式会社技術開発本部 [1]，アズビル株式会社アドバンスオートメーションカンパニー[2]

○石原 卓也 [1]，栃木 偉伸 [1]，吉永 純一 [1]，吉川 康秀 [2]

Technology Development Headquarter, Azbil Corporation[1], Advanced Automation Company, Azbil Corporation [2], ○Takuya Ishihara[1], Tochigi Hidenobu[1], Junichi Yoshinaga[1], Yasuhide Yoshikawa[2]

E-mail: t.ishihara.yc@azbil.com

近年，LSI の高集積化などに伴い半導体製造プロセスにおいて，膜厚制御性や段差被覆性などに優れる原子層堆積法（Atomic Layer Deposition：ALD）が注目されている．この成膜プロセスでは，被覆性に優れる反面，プロセス圧力の計測に用いられる隔膜真空計内部にも成膜され，センサ出力がシフトしてしまうという問題がある．このような課題を解決すべく，我々は数値解析などを利用し，センサ素子感圧部への成膜による影響の解析を行い，センサ構造設計し，ALD 成膜プロセスに適用してもシフトが大幅に低減できることを実証してきた。

今回は、副生成物の多いプロセスにも対応するため，トラップ構造を Fig.1 の真空計構造に組み込みこんだので，その結果を報告する。トラップ構造は計測対象の気体が分子流となるような多数の細い流路からなり，反応性のある気体が壁面と十分衝突出来て且つガスのコンダクタンスも確保するような設計である。Fig2 が設計した形状であり，希薄流体のシミュレーションによって反応性ガスが経路を通過出来る確立を 0.03%以下になるように設計している。実測の結果，気体流路が細いことで懸念されるセンサの応答遅れは Fig.3 のようにトラップ機構がない場合に比べて約 11msec で十分実用に耐えうるものであることが証明された。

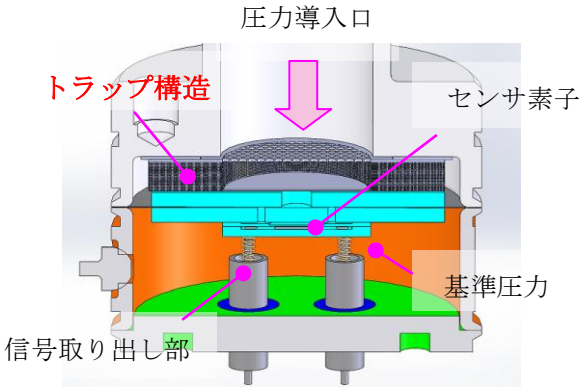

Fig1.ALD 向けサファイア隔膜真空計

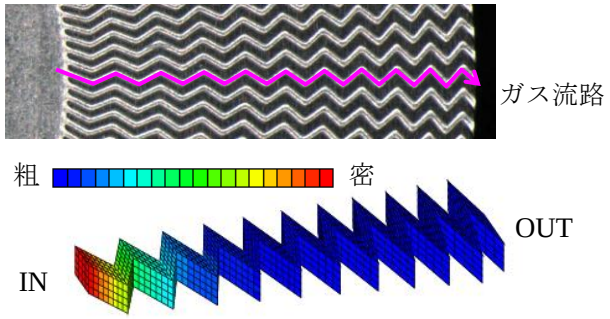

Fig2.トラップ構造断面図(上)と通過シミュレーション結果(下)

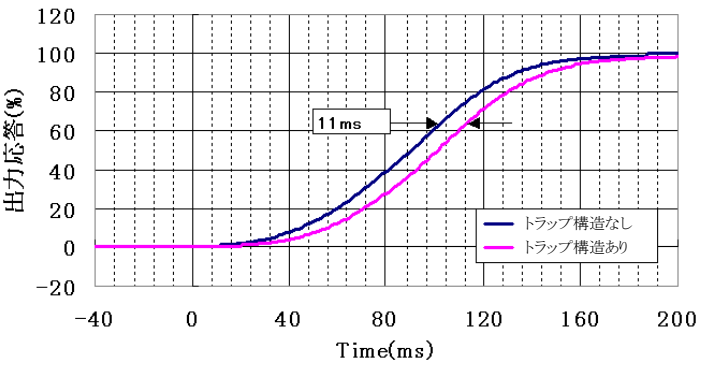

Fig3.センサ応答試験結果

© 2014 年　応用物理学会