19p-A7-11

FPGA を用いたカスタムハードウェアによる エレクトロマイグレーションのマイクロ秒制御

Ultra-Fast Feedback-Controlled Electromigration for Nanogap Fabrication Using FPGA 東京農工大院工 ^O金丸祐真、又吉美佐枝、白樫淳一

Tokyo University of Agriculture & Technology

[°]Y. Kanamaru, M. Matayoshi, and J. Shirakashi

E-mail: 50014645109@st.tuat.ac.jp

近年、ナノギャップ電極を作製する技法として、エレクトロマイグレーション(EM)の発現強度を フィードバック手法により調整するフィードバック制御型エレクトロマイグレーション(FCE)法が 報告されている[1]。一般に FCE 法は、汎用 OS と GPIB を用いたソフトウェア制御によって実行さ れており、数 nm 級のナノギャップを作製可能ではあるが、FCE プロセス完了までに 10 分以上の長 時間を要する課題があった[1, 2]。前回、このナノギャップ電極作製に要する時間効率の改善を行う ため、PLD(Programmable Logic Device)である FPGA(Field Programmable Gate Array)を用いた超高速計 測制御システムの構築を行った。また、構築したシステムを Au チャネル細線に適用し、ナノギャッ プ形成に要する FCE プロセスを 1 sec 以内に完了させることを確認した[3]。今回は、本システムの 更なる高速化を検討し、計測制御の時間間隔をマイクロ秒(µsec)オーダーとすることに成功した。

FCE 実験では、前回と同様に、まず FPGA に FCE アルゴリズムを実装することで、FCE 専用のカ スタムハードウェアを構築した。続いて、構築したシステムのハードウェア条件を最適化し、本シ ステムを Au チャネルの FCE 制御に適用した。図1に FCE 実行時における Au チャネルの測定電流 I_d と印加電圧 V_dの関係を示す。また、挿入図は、FCE 実行時におけるプロセス時間 T に対する印加 電圧 V_dのフィードバック前後での変化の一部を表している。図1より、EM の急激な進行を抑制し ながら、抵抗値が徐々に増加していることが確認できる。また、挿入図から、計測制御の時間間隔 が 8.6 µsec であり、FCE プロセスを超高速に実行していることがわかる。以上より、本システムに よる超高速 FCE 法を用いることで、ナノギャップ電極作製における時間効率の大幅な改善が可能で あることが示唆された。



Fig.1 Typical I_d - V_d curve of Au μ m-wire during FCE controlled by FPGA. The inset shows zoom of time evolution of drain voltage during FCE.

References

[1] D. R. Strachan et al., Appl. Phys. Lett. 86 (2005) 043109.

[2] S. Itami et al., J. Nanosci. Nanotechnol. 10 (2010) 7464.

[3] 金丸他: 春季第 61 回応用物理学会学術講演会 17p-F11-13 (2014).