19p-A9-12

圧電 MEMS 向けドライエッチングプロセスの開発

Development of Dry Etching Process for Piezoelectric MEMS Devices

アルバック　半導体電子技術研究所　°山本 直志，上村 隆一郎

ULVAC, Inc., Institute of Semiconductor and Electronics Technologies

°Tadashi Yamamoto, Ryuuichirou Kamimura

E-mail: tadashi_yamamoto@ulvac.com

1. はじめに

圧電素子として利用される PZT 膜はジャイロセンサーやインクジェットプリンターなど様々なデバイスへの応用が進んでいる．近年，素子の微細化および基板の大型化により，ドライエッチングプロセスの研究が進められている [1)].

このとき課題となるのは，PZT の膜厚が 1～3μm なのに対し下部電極の Pt が 100nm と薄いことおよび，被エッチング材に含まれる酸素がレジストをアッシングすることであり，これらの課題を解決するためには選択比の向上が必要である．今回我々は，開口率 80%の PZT 膜を用い，良好な形状を持つと共に 8 インチ基板全面で下部 Pt が十分に残るドライエッチングプロセスを開発したので報告する．

2.実験方法

PZT の成膜にはスパッタリング装置（ULVAC 製：SME-200E）を用い，エッチングには高密度プラズマ源（ISM plasma source*[1)]）を備えたエッチング装置（ULVAC 製：NE-7800H）を用いた．膜構成は Si-Sub./SiO2/Ti(0.03)/Pt(0.1)/PZT(2)/P.R.(unit :μm)となっている．PZT のエッチング形状を確認するため上部電極のない構成とした．

プロセス構成は対レジスト選択比の高い条件で PZT を 90%程度エッチングした後，対 Pt 選択比の高い条件で残りのエッチングおよびオーバーエッチングを施す 2step プロセスとした．

*[1)] ISM：Inductively　Super　Magnetron

3.実験結果

2step エッチングを行った試料の断面 SEM の観察結果を Fig.1 に示す．選択比を向上させたことにより，下部 Pt が十分に残っていることが確認できた．

この結果は 8 インチ基板全面で達成されていることを確認している．

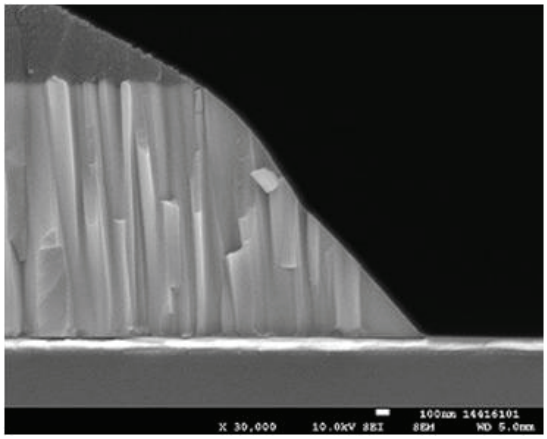

Fig1. **Cross-sectional scanning electron microscope image of Pt/PZT sample.**

4.参考文献

1) Y. Kokaze, I. Kimura, M. Endo, M. Ueda, S. Kikuchi, Y. Nishioka, and K. Suu : Jpn.J. Appl. Phys., 46 (2007) 280.

© 2014 年　応用物理学会