

3次元ポリマー光デバイスの多層積層化作製技術の検討

Fabrication of Multi-Layer Stacked Polymers for Three-Dimensional Optical Devices

早稲田大学 理工¹、GCS 機構²,

○木村 優一¹, 小林 久也¹, 若松 果奈¹, 松島 裕一², 石川 浩¹, 宇高 勝之¹

¹ Faculty of Science and Engineering, Waseda University

² Green Computing Systems Research Organization, Waseda University

○Y. Kimura H. Kobayashi¹, K. Wakamatsu¹, Y. Matsushima², H. Ishikawa¹, and K. Utaka¹

E-mail: hope-yu-0316@akane.waseda.jp

はじめに

光デバイスの集積化において、2次元構成では集積化に限界もあることから、3次元構造による高集積化、高機能化が注目を集めている。我々はその中でもポリマーを用いた3次元素子[1],[2]を提案し、基本動作を達成しており、今後より多層にわたって積層していく中で発生する問題の解決法を検討したので報告する。

従来の問題点

我々はクラッドに PMGI、コアに SU-8 を用いた素子を検討しており、導波路の現像時やヒーターパターニング時などに、図1のようなクラックが発生してしまうという問題が挙げられていた。これらのクラックは応力が蓄積することで発生することが知られており、作製過程で蓄積された応力に何かしらのショックを与えることで発生する。そこで応力を緩和させるための工程を考案し、その条件について検討を行った。

改善点

これまで PMGI にクラックが現れたことから、PMGI のハードベーク時に応力が蓄積されていると考えられる。また応力は異物や気泡の周りに多く蓄積することが知られていることから、気泡の発生を抑え、同時に応力緩和時間を考慮したベーク条件を検討した。図2に PMGI の改善前と後のハードベークの温度と時間の関係を示す。これにより気泡の発生を防ぎ、かつ応力を緩和させることで多層積層に耐えうる構造を実現し、図3に示すように現段階で最大5層まで作製が可能になった。また積層光スイッチへの適応も行った[3]。

謝辞：本研究は、科研費(No.24360139)の支援を得た。

参考文献

- [1] T. Hoshina, et al., ECOC 2012, P2.12, 2012.
 [2] H. Kobayashi, et al., OECC/PS2013, WT2-4, 2013.
 [3] 小林他、本応物講演会発表予定。



図1 PMGI に発生したクラック

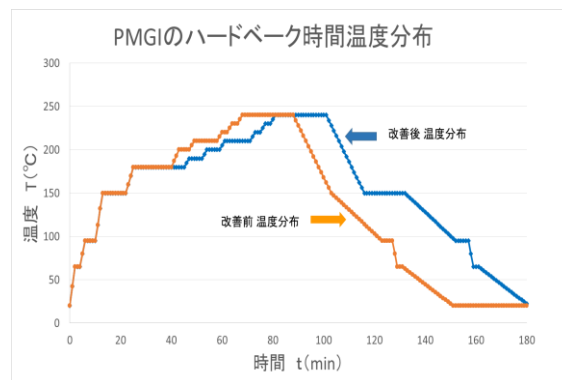


図2 PMGI のハードベーク条件

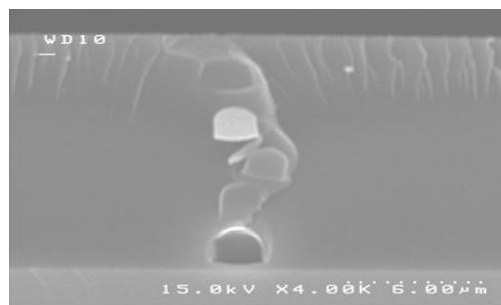


図3 5層積層導波路構造