19p-PB2-17

InAs 系 HEMT における正孔蓄積に伴うのゲート電圧のシフト

Gate voltage shift caused by accumulated holes in InAs PHEMTs

東理大基礎工　°西尾結，杉山駿輔，佐藤万里衣，平田柊作，佐藤宇人，平山尚美，飯田努，高梨良文

Tokyo Univ. of science,　°Yui Nishio, Shunsuke Sugiyama, Marie Sato, Shusaku Hirata, Takato Sato, Naomi Hirayama, Tsutomu Iida, and Yoshifumi Takanashi

E-mail: j8213703@ed.tus.ac.jp

1. 諸言

我々はこれまでに InP を基板とした InAs PHEMT について厳密な状態密度有効質量及び伝導帯の非放物線性を考慮した 2DEG 及び 2DHG のエネルギー状態の一般的な理論解析手法の提案を行ってきた[1]。前回の発表した InAs PHEMT では、チャネル厚が大きく電子と正孔が空間的に分離する構造となっていた。本研究では、高特性が報告されている高濃度の 2DHG をチャネル内に閉じ込められることが期待される構造において 2DHG の理論解析を行い、チャネルに蓄積した正孔に伴うゲート電圧シフトを求めることを目的とする。

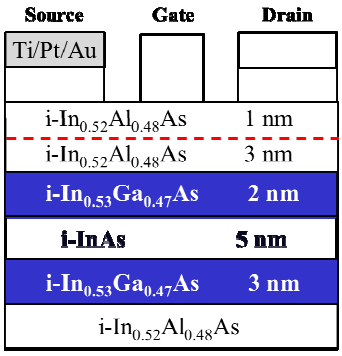

図 1　InAs HEMT の試料構造

2. 試料構造

今回計算に用いた InAs HEMT の試料構造を図 1 に示す。エピタキシャル層はアンドープの $In_{0.52}Al_{0.48}As$ バッファー層及び $In_{0.53}Ga_{0.47}As$/InAs/$In_{0.53}Ga_{0.47}As$ 複合チャネル層(10 nm)、5x10^{12} cm^{-2} の Si δ-ドーピング層を含む $In_{0.52}Al_{0.48}Sb$ バリア層(4 nm)より成っている。InAs 層の厚さは臨界膜厚内の 5nm に設定した。

3. 結果及び考察

InAs HEMT における、面密度 p_s=1.22×10^{12} cm^{-2} の正孔がチャネルに閉じ込められた際の電子と重い正孔のポテンシャル分布及びキャリア密度分布を図 2 に示す。電子・正孔密度分布共に、InGaAs 層への漏れが少なく、InAs 井戸内に効果的に閉じ込められていることが分かる。図 2 は Vgs=0 V の時の電子・正孔状態である。Vgs をプラスに印加した場合でもマイナスに印加した場合でも分布が偏ることはなく、正孔分布はゲート電圧に依存しないことが分かった。次にゲート電圧変化量の p_s 濃度に対する依存性を図 3 に示す。ここでゲート電圧変化量とは、正孔の生成に伴い電子も発生することで変動したゲート電圧の値である。実線が非放物線近似、破線が放物線近似の結果である。オージェ再結合確率の算出、測定による蓄積キャリア濃度の測定等は今後の課題である。

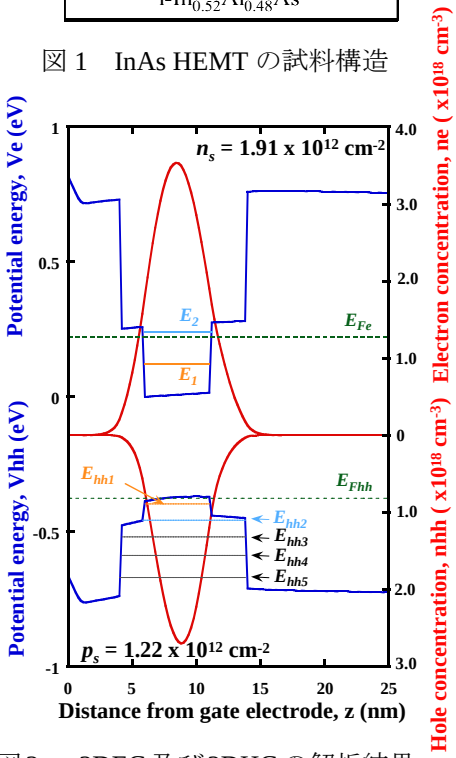

図 2　2DEG 及び 2DHG の解析結果

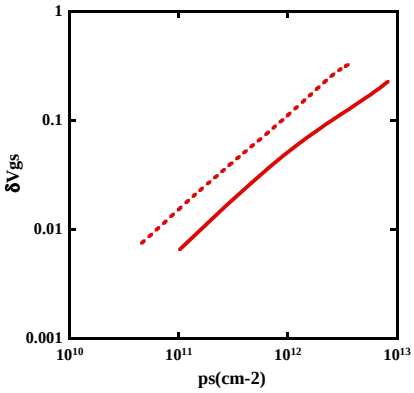

図 3　ゲート電圧変化量の p_s 濃度依存性

4. 参考文献

[1] Y. Nishio, T. Iida, and Y. Takanashi: Phys. Status Solidi A **210** (2013) 2423.

© 2014 年　応用物理学会