19p-PB5-10

直接貼付 InP/Si 基板接合界面におけるボイドによる電気特性への影響

Electrical characteristics influenced by interfacial voids of directly-bonded InP/Si substrate

上智大学　理工学部，金谷佳則，松本恵一，岸川純也，下村和彦

Sophia University, Yoshinori Kanaya, Keiichi Matsumoto, Junya Kishikawa, Kazuhiko Shimomura

E-mail: kshimom@sophia.ac.jp

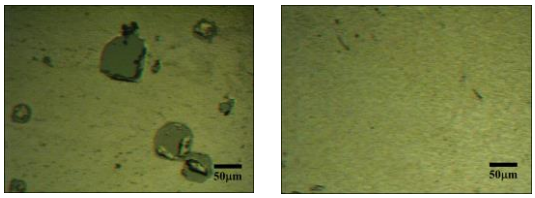
はじめに

大規模電子集積回路内の発熱や信号遅延，消費電力の増大といった問題を解決し，高速大容量通信を実現すべく，Si 基板上への III-V 族化合物半導体の集積が注目を集めている．これに対し直接貼付法を用いて InP/Si 基板を作製し，この基板上に InP 系材料の結晶成長を行うことで，Si 基板上への多様な光デバイスの高密度集積の可能性を提案してきた[1,2]．しかし，現状では InP/Si 基板接合界面においてボイドが発生しており，再成長により光デバイスを作製した際の歩留まり・信頼性低下などが懸念される．今回，ボイドが InP/Si 基板接合界面における電気特性に与える影響を調査したので報告する．

実験結果

はじめに，InP 基板上に GaInAs のエッチングストップ層を含む GaInAs/InP/GaInAs を MOVPE 法により結晶成長し，ウェットエッチングを用いて薄膜 InP 層を作製した．Si 基板はアセトンで超音波洗浄をした後，BHF にて表面の酸化膜を取り除き，SC1(NH_3:H_2O_2:H_2O)，H_2O_2 にて有機不純物を除去した．そして，薄膜 InP 層と Si 基板に H_2SO_4:H_2O_2:H_2O 溶液による洗浄を施し，両基板を接合した．その後，圧力をかけながら窒素雰囲気下で 400 ℃の加熱処理を行うことにより InP/Si 基板を作製した．図 1 に示すように，接合界面にボイドが多数発生している基板をサンプル A，ボイドの発生が少ない基板をサンプル B とした．

このサンプル A，サンプル B の電気特性を評価した．実験では InP/Si 基板の InP 表面に AuSn，Si 表面に Al/Au の蒸着を行った．それぞれのサンプルの I-V 特性結果を図 2 に，抵抗成分のヒストグラムを図 3 に示す．抵抗成分はサンプル A で 0.020 Ω cm^2，サンプル B で 0.017 Ω cm^2 ということがわかり，ボイド密度が接合界面の抵抗に影響を与えていることがわかった．



サンプル A　　サンプル B

図 1. 測定基板のノマルスキー像

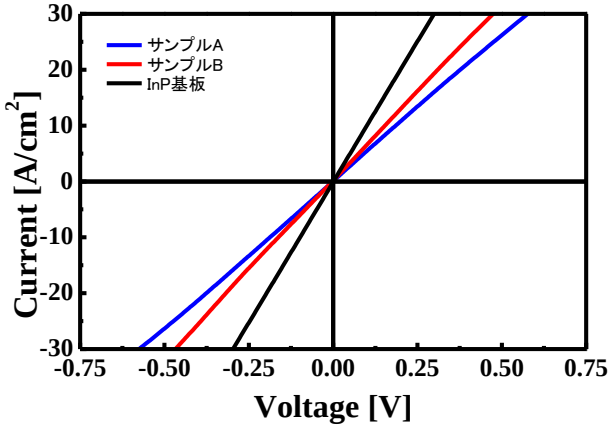


図 2. I-V 特性比較

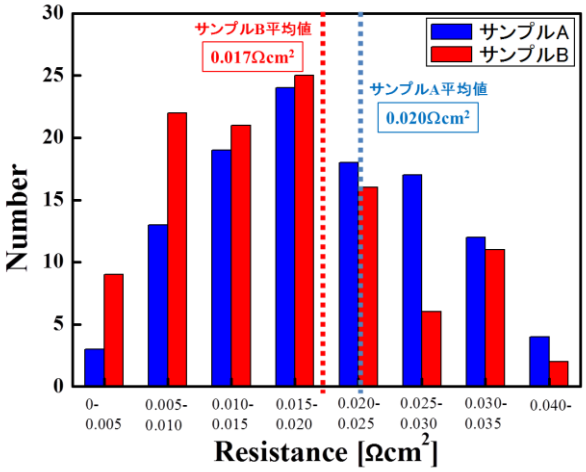


図 3. 抵抗成分のヒストグラム比較

謝辞

本研究は，文科省私立大学戦略的研究基盤形成支援事業の援助を受けて行われた．

参考文献

[1] K. Matsumoto, T. Makino, K. Kimura, K. Shimomura, J. Crystal Growth, Vol. 370, pp. 133-135 (2013).
[2] K. Matsumoto, T. Makino, K. Kimura, K. Shimomura, Phys. Status Solidi C, 10, No.5, 782-785 (2013)..

© 2014 年　応用物理学会