19p-PB5-15

SOI(Silicon-on-Insulator)基板上への InSb ヘテロエピタキシャル成長

Heteroepitaxial Growth of InSb Thin Films on a Silicon-on-Insulator Substrate

富山大院　坂本 大地，森 雅之，前澤 宏一

Graduate School of Science and Engineering, Univ, of Toyama

Taichi Sakamoto, Masayuki Mori and Koichi Maezawa

E-mail: sakatai1124@gmail.com

【研究背景】

近年、InSb は高電子移動度、高飽和電子速度を持つため超高速・低消費電力デバイス材料として注目されている。Si 基板上に InSb デバイスの形成は Si-LSI を伴う集積化という観点から見ても重要である。Si 基板と InSb との間には 19.3%の格子不整合が存在しているため、エピタキシャル成長するには困難である。しかし、我々は Si 基板に InSb の単分子層を介することで InSb 結晶が 30 度回転し、格子不整合が見かけ上 19.3%から 3.3%に緩和されることを発見した[1]。これにより、室温の電子移動度が約 40,000cm^2/Vs という良質な InSb 薄膜を Si 基板上に直接成長できるようになった。

この技術を用いて、Al_2O_3/InSb/Si MOSFET を作製し、トランジスタ動作を実証した[2]。しかし、Si 基板に電流がリークする問題が生じた。今回は問題の解決のため SOI 基板を使い、Si 基板と同程度の良質な InSb 薄膜の作製を目的とした。

【実験内容】

使用した SOI 基板のデバイス層は面方位(1 1 1)、p 型で膜厚 5μm、BOX 層の膜厚 0.5μm である。基板処理はフルウチ科学の「セミコクリーン」で洗浄し、フッ酸処理を施し基板表面を水素終端化させた。その後、UHV チャンバーに導入し、アニールを行い基板の清浄化を図り、InSb を成長させた。表面は同じ Si であるため成長条件を Si 基板上の InSb 薄膜成長と同様の 2 段階成長を用いた。1 層目は基板温度を約 270℃で膜厚約 12nm 蒸着させた。1 層目成長終了後、370℃でアニールを行い、その後、2 層目を基板温度 440℃で約 800nm 蒸着させた。しかし、1 層目終了後のアニールにより膜質が悪くなることを RHEED によって確認した。これはおそらく低温で成長した 1 層目の膜が薄く、温度に耐えきれず凝集したものと考えられる。

そこで、1 層目の膜の凝集を防ぐために、1 層目終了後のアニール温度 355℃に下げた試料、1 層目の膜厚を厚くした試料を作製した。その他の条件は Si 基板上の InSb 薄膜成長と同様にした。

図 1(b)より、多くの欠陥が見られることからアニール温度を下げたものは効果的ではないことが分かる。図 1(c)より、1 層目の膜厚を 2 倍の約 24nm にすることで試料の表面性は良くなった。電子移動度を測定したところ、図 1(c)の試料は約 31,000 cm^2/Vs であった。今後、1 層目の膜厚条件をより詰めていくことで Si 基板と同等の膜質を得られる可能性がある。

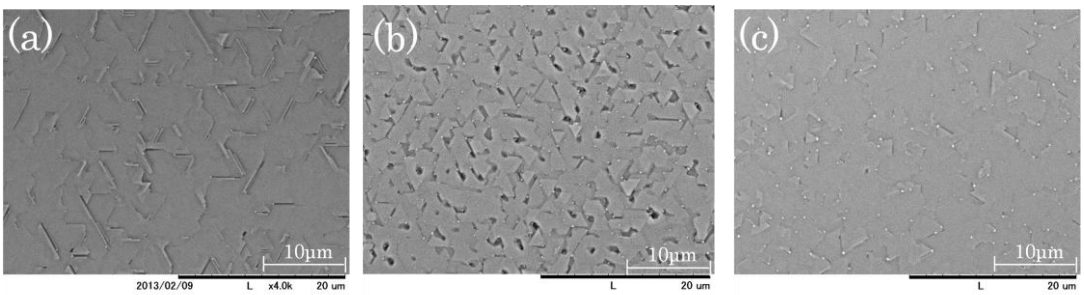

図 1.InSb を直接成長させた低真空 SEM 画像 (a)Si 基板 (b)1 層目終了後のアニール温度を下げた SOI 基板 (c)1 層目の膜厚を 2 倍の約 24nm にした SOI 基板

参考文献

[1] M. Mori, Y. Yasui, K. Nakayama, K. Nakatani, and K. Maezawa, Jpn. J. Appl. Phys. **51** (2012)

[2]T. Ito, A. Kadoda, K. Nakayama, Y. Yasui, M. Mori, K. Maezawa, E. Miyazaki, T. Mizutani, Jpn. J. Appl. Phys. **52**(2013)

© 2014 年　応用物理学会