垂直磁化 MTJ を積層した多値 MRAM 素子

Multi-level Cell for STT-MRAM with Stacked Perpendicular MTJs

超低電圧デバイス技術研究組合 [○]青木 正樹, 能代 英之, 角田 浩司, 射場 義久, 畑田 明良, 中林 正明, 高橋 厚, 山崎 裕一, 吉田 親子, 杉井 寿博

Low-power Electronics Association & Project, [°]Masaki Aoki, Hideyuki Noshiro, Koji Tsunoda,

Yoshihisa Iba, Akiyoshi Hatada, Masaaki Nakabayashi, Yuuichi Yamazaki,

Atsushi Takahashi, Chikako Yoshida, and Toshihiro Sugii

E-mail: aoki@leap.or.jp

【はじめに】 スピン注入型MRAM (STT-MRAM) は、低電圧にて高速かつ無制限の書き換えが可 能であることから、次世代の不揮発性ワーキングメモリとして有望であるが、これまでに報告さ れているSTT-MRAMのメモリセルは大きい[1]。大容量化のために、メモリ素子の多値化が検討 されているが、メモリ素子の面積は、標準の2値のSTT-MRAMの面積よりも大きい[2]。本研究 では、垂直磁化MTJを積層した多値MTJ素子を作製し、その特性を評価したので報告する。

【実験】下部電極/ [Co/Pt]₄ /Ta/ CoFeB /MgO / 磁化自由層/スペーサ層/[Co/Pt] ₁₄ /Ru/[Co/Pt] ₄ /Ta/CoFeB/MgO/磁化自由層/上部電極の積層構造をスパッタリング法で成膜した。ベースとなる MTJは、CoFeB/MgO界面垂直磁化膜[3]のSAF(Synthetic antiferromagnet)付きボトムピン構造であ る。下側のMTJの磁化自由層は、近接する上側のMTJ素子の[Co/Pt] ₁₄から漏れ磁場の影響を受け るので、磁化量のバランスを考慮して[Co/Pt] ₄の単層にしている[4]。磁化自由層は、CoFeB/CoFeBTa/CoFeBの積層型を用いている。露光とRIE を用いて微細加工を施した。

【結果】Fig.1(a)に試作した多値MTJ素子のR-H Minor ループを示す。Minorループは多段の変 化を示しており、二つの磁化自由層の磁化の向きの組み合わせの場合の数である4値に対応した抵 抗を示している。Fig.1(b)に、Pulse I-V測定の結果を示す。測定時に磁場の印加はしていない。 外部磁場の場合と同様の多段の抵抗変化を示し、各抵抗値も一致しており、スピン注入による4 値のメモリ動作が確認できた。



【謝辞】本研究は、経済産業省と独立行政法人新エネルギー・産業技術総合開発機構(NEDO)の「低 炭素社会を実現する超低電圧デバイスプロジェクト」に係わる業務委託として実施した。デバイス試 作に関しては、独立行政法人産業技術総合研究所のSCR運営室にご協力頂いた。【参考文献】[1] K. Tsuchida et al., ISSCC Dig., p.258, 2010. [2] T. Ishigaki et al., VLSI Tech. Dig., p.47, 2010. [3] S. Ikeda et al., Nat. Mat.9., p.721, 2010. [4] M. Aoki et al., VLSI Tech. Dig., p.134. 2013.