

埋め込み型電極を有する有機トランジスタの デバイスシミュレーション:高移動度化の機構

Device simulation in organic transistors using embedded electrodes

大阪府立大¹, 大阪府立大分子エレクトロニックデバイス研²,

○岡田 純¹, 木村 友¹, 永瀬 隆^{1,2}, 小林隆史^{1,2}, 内藤裕義^{1,2}

Osaka Pref. Univ.¹, RIMED²,

○J. Okada¹, Y. Kimura¹, T. Nagase^{1,2}, T. Kobayashi^{1,2}, H. Naito^{1,2}

E-mail: okada@pe.osakafu-u.ac.jp

【はじめに】

有機電界効果トランジスタは、そのデバイス構造により、電気的特性が大きく変化することはよく知られている。これまでに我々は図 1 に示す、トップゲート型・ボトムコンタクト構造においてソース/ドレイン(S/D)電極に埋め込み型を適用することで半導体層の平坦化、薄膜が可能であり、高移動度化が実現できることを報告してきた[1]。本研究では、埋め込み型と従来の電極構造を有する FET のデバイスシミュレーションを行うことで、埋め込み電極の優位性を明らかにすることを目的とした。

【解析】

図 1 に埋め込み型と従来の電極構造を有する FET のデバイス構造を示す。数値計算は、デバイスシミュレーションソフトウェア ATLAS を用いており、半導体層・絶縁層の物理量は実際に作製したデバイスに用いた材料であるジオクチルベンゾチエノベンゾチオフェン(C₈-BTBT)、CYTOP の値を想定している。

【結果】

ゲート電圧、S/D 間の電圧をそれぞれ $V_G = -60\text{ V}$ 、 $V_D = -60\text{ V}$ としたときの両者の出力特性を図 2 に示す。ドレイン電流 I_D の値が電極を埋め込むことによって上昇し、移動度が增大することを示せた。この理由を調べるために、絶縁層・半導体層界面の正孔電流密度分布の電極構造による違いを図 3 に示した。直接伝導に寄与する正孔電流密度に両者で差が生じている。当日は移動度増大のメカニズムと実際に作製したデバイス特性との比較も行う予定である。

【参考文献】

[1] 木村他、第 74 回応用物理学関係連合講演会講演予稿集,12-262 (2013)

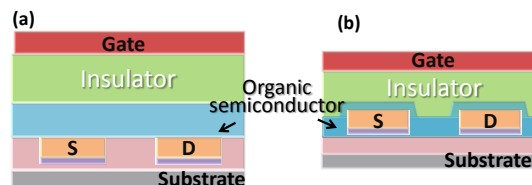


Fig. 1. Device structures of top-gate OFETs with (a) embedded and (b) conventional S/D electrodes used for numerical simulation.

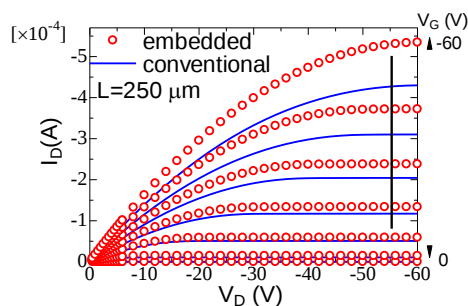


Fig. 2 Output characteristics of Device structure (a) and (b) in Fig. 1.

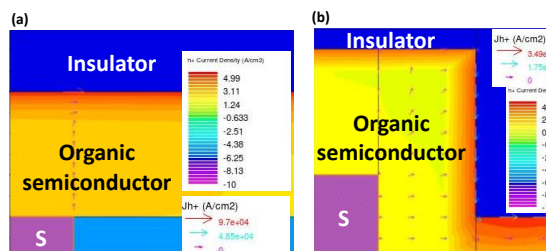


Fig. 3 Hole current density distribution in top-gate OFETs with (a) embedded and (b) conventional S/D electrodes

【謝辞】

本研究は総合科学技術会議により制度設計された最先端研究開発支援プログラムにより、日本学術振興会を通して助成された。また本研究の一部は科研費補助金及び新学術領域研究「元素ブロック高分子材料の創出」の助成を受けた。