

Cap-Si/圧縮歪み SiGe チャネル/Si(110)ヘテロ構造を有する p-MOSFET の 界面準位密度と正孔移動度に与える Cap-Si 膜厚の影響

Influence of Cap-Si thickness on Interface State Density and Hole Mobility of p-MOSFETs with Cap-Si/Strained-SiGe Channel/Si(110) Heterostructures

山梨大クリスタル研¹, 東京都市大総研²

○小幡智幸¹, 有元圭介¹, 山中淳二¹, 中川清和¹, 澤野憲太郎²

CCST Univ. of Yamanashi¹, ARL Tokyo City Univ.²

○T. Obata¹, K. Arimoto¹, J. Yamanaka¹, K. Nakagawa¹, K. Sawano²

E-mail: g11me011@yamanashi.ac.jp

CMOSデバイスの高性能化・高集積化を実現するためには正孔移動度を向上することが必須である。圧縮歪みSiGe(110)デバイスは高正孔移動度を示すことから注目されている。この構造デバイスの課題として表面ラフネスを小さくすること、界面準位密度を低減することがあげられる。我々は、固相成長法で形成したCap-Si/圧縮歪みSiGe/Si(110)ヘテロ構造を用いてp型MOSFETを作製し、正孔移動度の評価を行った。また、Cap-Si層の膜厚が界面準位密度と正孔移動度に及ぼす影響について検討を行った。

結晶成長には固体ソース分子線エピタキシー(MBE)法を用い、表面ラフネスを小さくし、かつGeの表面偏析を抑制するために、基板温度150 °CとしてSi(110)基板上にCap-Si層の膜厚の異なる非晶質のCap-Si/SiGeを作製し、その後MBE中でアニールすることで固相成長させた。

Cap-Si層の膜厚が界面準位密度に与える影響を調査するためにSiO₂/Cap-Si/SiGe/Si(110)キャパシタを作製し、コンダクタンス法により界面準位密度を算出した。Fig. 1に、界面準位密度のCap-Si層の膜厚依存性を示す。Cap-Si層のないSiO₂/SiGe/Si(110)キャパシタの界面準位密度に比べCap-Si層上の界面準位密度は低く、Cap-Si層の膜厚を5 nm以上にする事で界面準位密度が低減する結果が得られた。この要因としてCap-Si層へのGeの拡散が抑制され、ダングリングボンドが少なくなったことが考えられる。あわせて本研究では、これらの試料を用いてp型MOSFETを作製し、スプリットC-V法により正孔移動度の算出を行うことで、移動度とCap-Si層の膜厚の関係を調査した。Cap-Siの膜厚によるキャリア密度と実効移動度の関係をFig. 2に示す。Cap-SiはMOSFET作製プロセスでエッチングされるため成膜時のCap-Si層の膜厚が5 nmでは表面のGe濃度を下げることができず、移動度が低い結果となった。20 nmではパラレルチャネルになっていることが予想される。この結果より、Cap-Siの膜厚を10 nm-15 nmとすることでSiO₂/Ge界面を減らし、SiGe層をチャネルとして動作するため移動度の向上が望める。

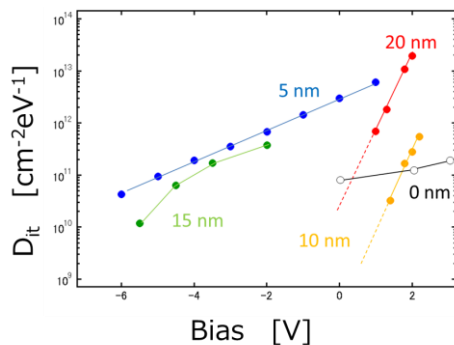


Fig.1 Dependence of interface trap density on Cap-Si thickness

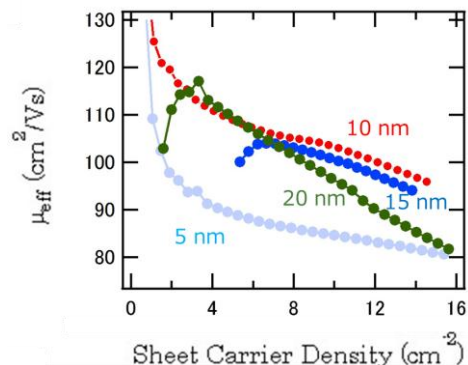


Fig.2 Dependence of hole mobility on Cap-Si thickness