

単一トップゲート型 OFET 素子における接触抵抗・チャネルパラメータの分離抽出

Extraction of contact resistance and channel parameters from the electrical characteristics of a single top-gate OFET device

京大院工¹, 慶應大理工² ○高垣 俊介¹, 野田 啓², 山田 啓文¹Dept. of Electronic Sci. & Eng., Kyoto Univ.¹, Dept. of Sci. & Tech., Keio Univ.²○Shunsuke Takagaki¹, Kei Noda², Hirofumi Yamada¹E-mail: s.takagaki@piezo.kuee.kyoto-u.ac.jp

【はじめに】

有機電界効果トランジスタ(OFET)は、軽量かつフレキシブル、さらには作製コストの低さなどといった特徴から、電子ペーパーなどへの応用が期待されている。OFET の電気特性向上に向けて、デバイス構造や材料などさまざまな観点から検討がなされているが、それらの効果を正確に評価するには、OFET で問題となっている素子ばらつきの影響を避けるため、単一素子に対して特性パラメータを抽出し評価することが望まれる。著者らはこれまでにスタガード型 OFET において、電界効果移動度・チャネル抵抗・接触抵抗の既存モデルを組み合わせて OFET モデルを構築し、そのパラメータを単一素子の電気特性測定のみで簡易に抽出する手法を提案し^[1]、これまでにスタガード型 OFET の 1 つであるボトムゲート・トップコンタクト(BGTC)型 OFET を対象とした検討を行ってきた^{[1][2]}。そこで本研究では、もう 1 つのスタガード型 OFET であるトップゲート・ボトムコンタクト(TGBC)型 OFET において同様の手法を適用し、単一素子での接触抵抗およびチャネルパラメータの分離抽出を試みることで、本手法の適用可能性について検討を行った。

【実験および結果】

まず、膜厚 300 nm の SiO₂ 熱酸化膜付き Si 基板上にギャップ長 50 μm のソース・ドレイン電極用シャドーマスクを用いて膜厚 25 nm の金薄膜パターンを真空蒸着法により作製し、ボトムコンタクト電極とした。次に、その上にポリ(3-ヘキシルチオフェン) (P3HT) の 0.1 wt%トルエン溶液を滴下し、スピンコート法によって活性層を作製した。さらに、その上に CYTOP の溶液を滴下し、スピンコート法により膜厚約 600 nm のゲート絶縁膜を作製した。最後に、ボトムコンタクト電極のギャップ部直上にゲート電極用シャドーマスクを用いて膜厚 50 nm の金薄膜パターンを真空蒸着法により作製し、ゲート電極とした。以上のプロセスによって TGBC 型 OFET を作製し(Fig. 1)、この素子の線形領域および飽和領域での伝達特性を真空中で測定した。さらに、この測定によって得られた単一素子のデータを、構築した OFET モデルを用いて、Differential Method^[3]と Transition Voltage Method^[4]を組み合わせた手法によって解析した。その結果、接触抵抗および線形領域におけるチャネル抵抗を分離抽出することに成功し(Fig. 2)、本手法が TGBC 型 OFET に対して適用可能であることを示した。

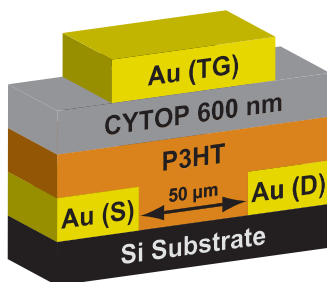


Fig 1. 作製した TGBC 型素子の構造

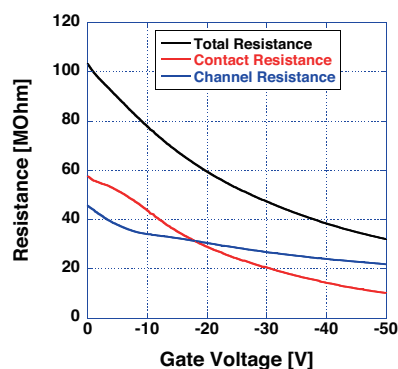


Fig 2. 単一素子から分離抽出した接触抵抗・チャネル抵抗

[1] 高垣 俊介, 野田 啓, 山田 啓文, 2012 年 第 73 回応用物理学会秋季学術講演会, 13p-PB2-22.

[2] 高垣 俊介, 野田 啓, 山田 啓文, 2013 年 第 74 回応用物理学会秋季学術講演会, 18p-P8-19.

[3] D. Natali, et al., *J. Appl. Phys.* **101** (2007) 014501.[4] S. D. Wang, et al., *IEEE Electron Device Lett.* **31** (2010) 509.