

4H-SiC C 面微傾斜エピタキシャル成長における 成長条件と積層欠陥密度の関係

Relationship between growth conditions and stacking fault density in growth of epitaxial layers on 4H-SiC C-face substrates with vicinal off-angle of lower than 1°

FUPET¹, 産総研², ローム³, パナソニック⁴, 東芝⁵, 日立⁶

○升本恵子^{1,2}, 伊藤佐千子^{1,2}, 浅水啓州^{1,3}, 田村謙太郎^{1,3}, 工藤千秋^{1,4},

西尾譲司^{1,5}, 児島一聡^{1,2}, 大野俊之^{1,6}, 奥村元^{1,2}

FUPET¹, AIST², ROHM³, Panasonic⁴, Toshiba⁵, Hitachi⁶

○Keiko Masumoto^{1,2}, Sachiko Ito^{1,2}, Hirokuni Asamizu^{1,3}, Kentaro Tamura^{1,3}, Chiaki Kudou^{1,4},
Johji Nishio^{1,5}, Kazutoshi Kojima^{1,2}, Toshiyuki Ohno^{1,6}, Hajime Okumura^{1,2}

E-mail: keiko-masumoto@aist.go.jp

【はじめに】SiC トレンチ MOSFET の素子特性異方性の抑制には、ウエハの低オフ角化が有効である[1]。また、Si 面に比べ C 面上に作製したトレンチ MOS キャパシタの方が長寿命であることが報告されている[2]。本研究では、C 面微傾斜（オフ角 1°以下）エピタキシャル膜の成長条件とデバイス劣化の主要因である積層欠陥の密度との関係について調査した。

【実験】横型ホットウォール型 CVD 装置を用いて、0.9 度オフ 4H-SiC C 面エピタキシャル成長を行った。*In-situ* エッチング 1660°C・1 分間と 1725°C・10 分間の場合において、成長温度 1700-1725°C、成長圧力 6.3-10.3 kPa の範囲の中で、C/Si 比を大きく変化させた。PL イメージング測定を行い、発生の起点にパーティクルのある積層欠陥及びパーティクルのない積層欠陥をカウントした。

【結果】図 1 に (a) 発生の起点にパーティクルのある積層欠陥及び (b) パーティクルのない積層欠陥の密度と C/Si 比の関係を示す。図 1 (a) の挿入図に、パーティクルのある積層欠陥の PL イメージング像及び SEM 像を示す。*In-situ* エッチング 1725°C・10 分間のときは、1660°C・1 分間のときよりもエッチング量が多い。図 1 (a) に示すパーティクル起因の積層欠陥が、エッチング量の増加により大幅に低減していることから、積層欠陥を発生させているパーティクルの多くは成長前に基板上に存在するパーティクルであり、エッチング量が少ないと、そのパーティクル除去が不十分であることが分かる。また図 1 (b) に示すように、パーティクルのない積層欠陥についても、*In-situ* エッチング 1660°C・1 分間と比較して、1725°C・10 分間の方が大幅に低減している。基板の研磨過程において生じるダメージ層の残留や、ステップバンチングの発生等による *In-situ* エッチング後の表面形状の違いなどが原因として考えられ、今後更なる検討が必要である。また、バックグラウンドキャリア密度低減や炭素空孔抑制のためには高 C/Si 比成長が必要であるが、C/Si 比の変化による積層欠陥密度の大幅な変化は見られず、*In-situ* エッチング 1725°C・10 分間、C/Si 比 2.0 のとき 0.3 cm⁻² という値が得られた。

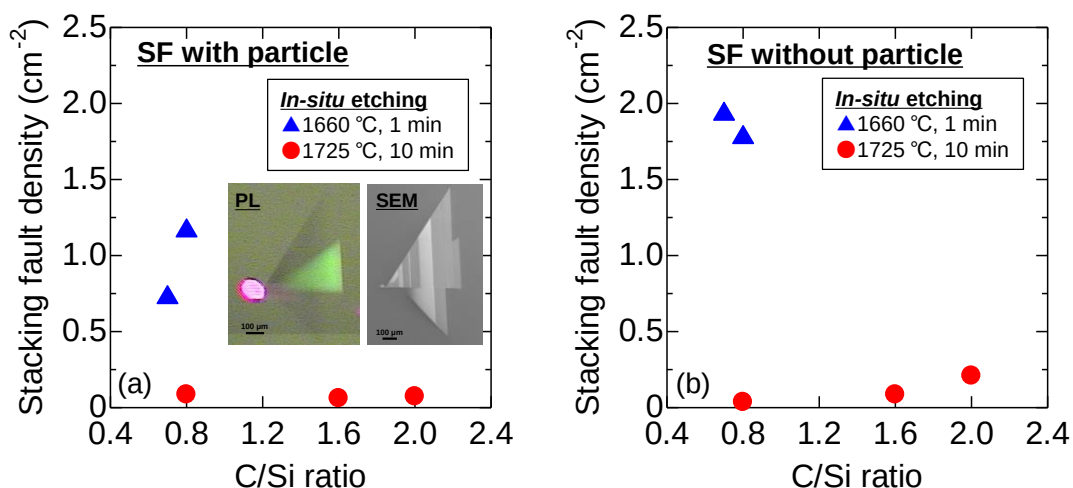


図 1 (a) 発生の起点にパーティクルのある積層欠陥 (SF with particle) 及び (b) パーティクルのない積層欠陥 (SF without particle) の密度と C/Si 比の関係

【謝辞】本研究は、NEDO 委託事業「低炭素社会を実現する新材料パワー半導体プロジェクト」の成果である。

【参考文献】 [1] S. Harada *et al.*, Mater. Sci. Forum **645-648** (2010) 999.

[2] 小島 他、SiC 及び関連半導体研究 第 22 回講演会予稿集 B-25.