

IGZO/n+Si ヘテロジャンクション構造を用いた DLTS 法による IGZO 薄膜のトラップ準位の評価

Evaluation of Trap States in Amorphous In-Ga-Zn-O by DLTS method

Using IGZO/n+Si heterojunction Diodes

コベルコ科研 エレクトロニクス事業部¹、神戸製鋼所 電子技術研究所²

○小坂 修司¹、安野 聡¹、林 和志²、岡田 廣¹

Electronics Division, KOBELCO Research Institute, Inc.¹

Electronics Research Laboratory, Kobe Steel, Ltd.²

Shuji Kosaka¹, Satoshi Yasuno¹, Kazushi Hayashi², and Hiroshi Okada¹

E-mail: kosaka.shuji@kki.kobelco.com

アモルファス InGaZnO (a-IGZO) は、電子移動度が $10\text{cm}^2/\text{Vs}$ を超えることに加え、室温スパッタ成膜により大面積成膜が可能なことから次世代大型高解像度の TV 向け半導体材料として注目されている[1]。一方で実用化へ向けた薄膜トランジスタ(TFT)動作時の安定性、信頼性の改善のため、IGZO 膜中の欠陥準位を明らかにすることが重要であるが、未だ十分な評価、解釈がなされていないのが現状である。

本研究では、Deep Level Transient Spectroscopy (DLTS)法による IGZO 膜中のトラップ準位の評価方法に関する検討を行った。DLTS 法で用いられる試料としては、pn、ショットキー、あるいは MIS (MOS) 構造など、いわゆる半導体接合を有することが必要であるが、酸化物半導体では一般に伝導制御や良好なショットキー接合の作製が困難であるため、これまで MOS 構造試料での評価が中心となっている。しかしながら、MOS 構造での評価においては、界面とバルクの切り分けが困難という問題がある。そこで我々は、今回新たに IGZO/n+Si ヘテロジャンクション構造による評価の可能性を検討した。図 1 に本研究で用いた素子構造と IGZO/n+Si 界面近傍のバンドダイアグラム (模式図) を示す。同構造では IGZO と Si の電子親和力の差から界面で障壁が形成されるため、IGZO 膜中に空乏層が広がり、DLTS 法による欠陥準位の評価が可能であった。図 2 に本構造試料において測定された DLTS スペクトルを示す。スペクトル形状はブロードであり、複数あるいは連続的準位の存在が示唆される。ピーク位置の解析では、 $\sim 0.1\text{eV}$ の電子トラップ準位に対応する結果となった。

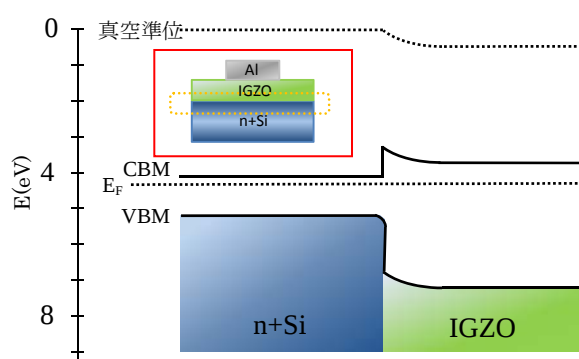


図 1 素子構造と IGZO/n+Si 界面近傍のバンドダイアグラム(模式図)

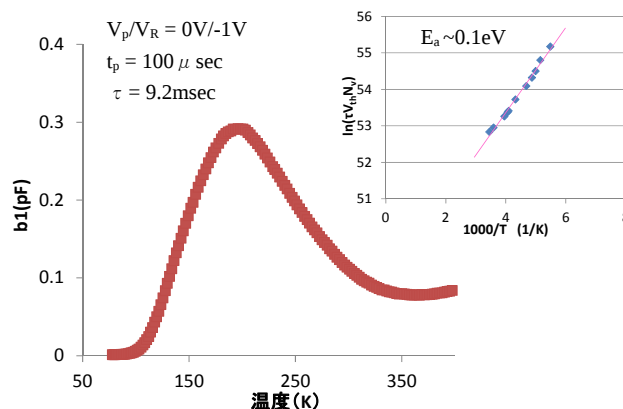


図 2 DLTS スペクトル

[1]K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono; Nature 432, 488 (2004).