

対向ターゲットスパッタ法を用いたアモルファス In-Ga-Zn-O TFT の低温形成

Low-temperature fabrication of InGaZnO TFT using facing target sputtering

NHK 技研¹, 高知工大² ○瀬尾北斗¹, 堺俊克¹, 相原聡¹, 大竹浩¹, 久保田節¹, 古田守²

NHK STRL¹, Kochi Univ. of Tech.² ○Hokuto Seo¹, Toshikatsu Sakai¹,

Satoshi Aihara¹, Hiroshi Ohtake¹, Misao Kubota¹, and Mamoru Furuta²

E-mail: seo.h-js@nhk.or.jp

光の 3 原色に対応した 3 種類の有機光電変換膜と, TFT 回路とを交互に積層した単板カラー撮像デバイスの開発を目的に, 150 °C 以下の温度で TFT を作製することに取り組んでいる [1-3]. 今回は, マグネトロンスパッタに比べて, 成膜時のダメージが少ない対向ターゲットスパッタ (FTS) を用いてチャンネル部を形成したアモルファス In-Ga-Zn-O (IGZO) TFT について報告する.

作製した 2 種類の TFT の断面構造図を図 1 に示す. いずれも逆スタガ型の構造で, 図 1(a) ではプラズマ CVD により成膜した SiO_x をエッチストップ層として使用するのに対し, 図 1(b) では原子層堆積法 (ALD) による TiO_x をエッチストップ層として使用した. 作製方法は次の通りである. 無アルカリガラス基板上に Cr パターンを形成した後, ゲート絶縁膜として AlO_x を ALD にて 110 °C の温度で成膜し, さらに, IGZO を室温で FTS にて形成, ウェットエッチングした. その後, 図 1(a) では, プラズマ CVD により 150 °C にて SiO_x を製膜後, ソース/ドレインコンタクトホールをドライエッチングし, IZO を室温で FTS にて形成, ウェットエッチングした. 保護層として SiO_x をプラズマ CVD にて形成しドライエッチングにて電極へのコンタクトホールを作製後, 130 °C オゾン雰囲気中でアニールした. 一方, 図 1(b) では, TiO_x を 100 °C の温度で ALD で形成後, FTS にて IZO を成膜した. TiO_x をエッチストップ層として活用し, IZO をウェットエッチングにてパターンニングした後, TiO_x をドライエッチングにてパターンニングした. 保護膜として SiO_x を DC パルススパッタにて形成しドライエッチングにて電極へのコンタクトホールを作製後, 130 °C オゾン雰囲気中でアニールした. プロセス中の最高温度はそれぞれ 150 °C, 130 °C であった. また, 同じマスクを使用して, チャンネル長/チャンネル幅はそれぞれ 8/84 μm, 4/84 μm であった.

試作した 2 種類の TFT のドレイン電流-ゲート電圧特性を図 2 に示す. 電界効果移動度はそれぞれ 8.4 cm²/Vs, 7.0 cm²/Vs であった.

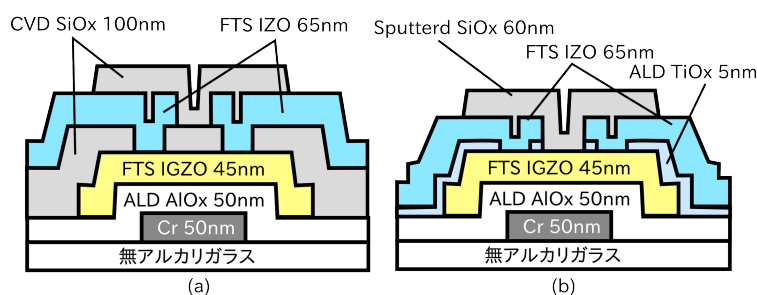


図1 試作したTFTの構造断面図

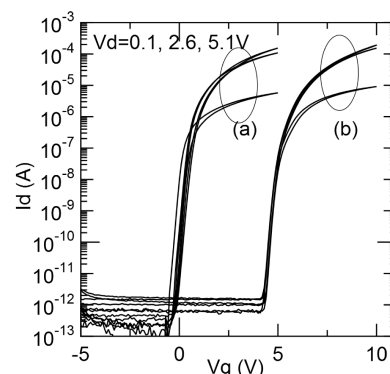


図2 試作したTFTのId-Vg特性

[1] 相原ほか:M&BE, vol.23, No.3(2012), p.163-168

[2] 瀬尾ほか:映メ冬大, 11-6, 2012

[3] 堺ほか:映メ年大, 15-1, 2013