

ZnO TFT のドレイン電流 DLTS 測定 (3)

Drain-current DLTS study of ZnO TFT (3)

山梨大学大学院医学工学総合研究部

○久保田 優人, 若林 岳, 小柳津 祥典, 森 雄大, 村中 司, 鍋谷 暢一, 松本 俊

Dept. of Electrical and Electronic Engineering, Univ. of Yamanashi,

○M. Kubota, T. Wakabayashi, Y. Oyaizu, T. Mori, T. Muranaka, Y. Nabetani, T. Matsumoto

E-mail: g12me013@yamanashi.ac.jp, tmuranaka@yamanashi.ac.jp

【はじめに】我々のグループでは、これまでに、プラズマ支援分子線堆積(PAMBD)法を用いた ZnO 層の形成と薄膜トランジスタ(TFT)応用に関する研究を行ってきた。^{1,2)} ZnO TFT においては、薄膜中の深い準位に起因する電流変動やヒステリシス現象が問題となっており、TFT 改善に向けた深い準位の評価が有効である。一般的に深い準位の評価には、容量 DLTS 法が用いられるが、我々のグループでは、TFT デバイス構造を直接評価する目的で、電流 DLTS 法によるデバイス特性の評価および解析を進めている。³⁾ 今回の発表では、ZnO 極薄膜をチャンネル層とする TFT に対しアニール処理を行い、ドレイン電流 DLTS 測定を行った結果について報告する。

【実験および結果】熱酸化法により SiO₂ 膜を形成した n⁺-Si 基板上に、PAMBD 法を用いて基板温度 300°C の条件で ZnO 極薄膜(~20 nm)チャンネル層を形成した。Al 蒸着により ZnO 表面にソース、ドレイン電極、基板裏面にゲート電極を形成し、ボトムゲート型 TFT 構造を作製した。試料は、酸素雰囲気中でそれぞれ、100°C、200°C、300°Cの温度において 1 時間アニール処理を行った。図 1 にアニール温度に対する抵抗率の変化を示す。アニール温度の上昇ともない抵抗率は増大している。300°Cでアニールした試料について、V_{DS}=30V の条件で、バイアス電圧 8V、パルス電圧 2V、パルス幅 1s の V_{GS} を印加した直後におけるドレイン電流 I_D の過渡変化を図 2 に示す。DLTS 信号を方形波重み関数方式により解析した結果、活性化エネルギー 558 meV、捕獲断面積 3.6 × 10⁻¹⁵ cm² の準位が存在することを確認した。

- 1) A. Nishii et al.: phys. stat. sol. (a) 203, No. 11, 2887-2890 (2006)
- 2) T. Muranaka et al.: The 13th International Conference on II-VI Compounds, Tu-P-17 (2007)
- 3) T. Mori et al.: The 59th JSAP Spring Meeting, 15p-GP2-11 (2012)

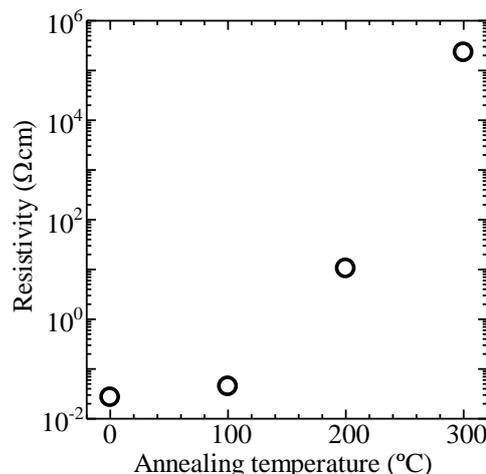


Fig. 1 Resistivities of ZnO channels.

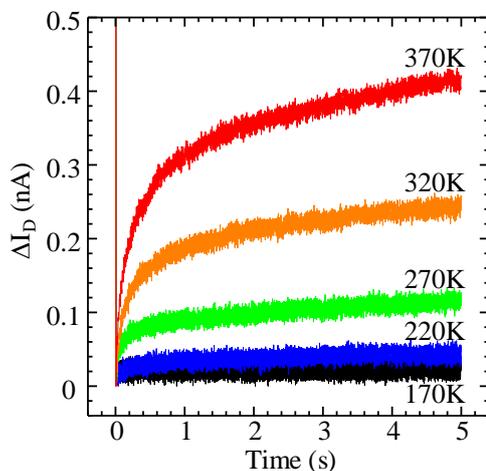


Fig. 2 Transient curves of ZnO TFT.