SiN 膜組成に依存した MONOS 型メモリのデータ保持劣化メカニズム解明

Investigation on the mechanism for data retention in MONOS memories with changing Si content in charge trap SiN layer

(株)東芝 研究開発センター LSI 基盤技術ラボラトリー

○藤井 章輔, 安田 直樹

Advanced LSI Technology Laboratory, Corporate R&D Center, Toshiba Corporation

°Shosuke Fujii, Naoki Yasuda

E-mail: shosuke.fujii@toshiba.co.jp

【はじめに】次世代メモリの有力候補として、Metal-Oxide-Nitride-Oxide-Silicon (MONOS)型メ モリの研究が進められている。MONOS 型メモリの課題であるデータ消去速度改善のため、化学 量論組成よりもSi組成の高いSiN薄膜(Si-rich SiN)を電荷蓄積層に用いることが検討されているが、 この技術にはデータ保持特性の劣化が伴う。データ保持特性劣化の原因として、Si rich SiN 中の 電子トラップのエネルギー準位が通常の SiN より伝導体端(Ec)側に位置するため、トラップ電子 が容易に放出される可能性が指摘されている。一方で、SiN 中のトラップ準位のエネルギーは Si 組成に依存しないという第一原理計算結果が報告されている。このように、SiN 電荷蓄積層の Si 組成に依存した保持特性変化のメカニズムは未だ明らかになっていない。本研究では、SiN 電荷 蓄積層の組成を大きく変化させた MONOS 型メモリのデータ保持特性を詳細に評価することで、 保持特性劣化のメカニズムを明らかにすることを試みた。

【実験方法】トンネル膜 5nm/電荷蓄積層 SiN 5nm/ブロック膜 13nm の MONOS 型メモリ(キャパシタ)素子を、SiN 層組成を4段階に変化させて試作した。初期状態の MONOS 型メモリ素子の容量-電圧(C-V)特性を室温にて取得した後、SiN 層に電子を蓄積した状態(書き込み状態)の素子を一定温度下で一定時間保持した。その後、素子の温度を再び室温に戻し C-V 特性を評価することで、フラットバンド電圧シフト(ΔV_{fb})を評価した。データ保持中の温度は室温から 200°C まで変化させた。保持時間は1時間および 15時間の2水準で評価を行い、それぞれの保持時間における ΔV_{fb} の温度依存性を解析した。

【結果と考察】Fig.1 は SiN 電荷蓄積層の組成を4 段階に変化させた MONOS 型メモリのデータ 保持特性のアレニウスプロットである。縦軸は15 時間保持のΔV_b、横軸は保持温度(1/kT)であ る。アレニウスプロットの傾きの SiN 組成依存性から、Si-rich SiN では電子トラップのエネルギ 一準位が Ec に近づくことが示唆される。しかしながら、1 時間保持条件では、アレニウスプロッ トの傾きはシリコン組成に依存せず(Fig.2)、さらにその傾きは15 時間保持の場合よりもおおむね 大きいことがわかった (Fig.3)。この結果から、保持初期段階とその後の段階では活性化過程が変 化していて、SiN 電荷蓄積層のトラップ準位からの電子放出が律速過程になるのは長時間経過し た段階であることが示唆された。発表当日は、トラップ電荷の荷電中心位置の評価、保持中の MONOS 素子電界を制御した保持特性の評価結果について報告し、保持状態での電荷蓄積層 SiN 中の電荷再配置・放出過程も考慮したデータ保持特性の物理モデルを提案する。



Fig.1 Arrhenius plots for data retention characteristics after 15h.



Fig.2 Arrhenius plots for data retention characteristics after 1h.



Fig.3 Comparison of activation energies for data retention after 1h and 15h as a function of the SiN composition.