## Via-last TSV とウェハ積層を用いた三次元 CMOS デバイスの開発

3D CMOS Device by Using Wafer-level 3D Integration Technology

## 日立中研 °青木 真由,古田 太,朴澤 一幸,花岡 裕子,武田 健一

Hitachi, Mayu Aoki, Futoshi Furuta, Kazuyuki Hozawa, Yuko Hanaoka, Kenichi Takeda

## E-mail: mayu.aoki.nr@hitachi.com

【はじめに】LSI 間通信の広帯域化・低消費電力化を可能にする技術として,TSV(シリコン貫通 電極)を用いた三次元実装が注目されている。現在主流の実装方法は,TSVをLSI 配線形成中に 形成する Via-middle 法と,ウェハを個片化した後に積層するチップ積層を組み合わせたものであ る。Via-middle 法では,TSV が LSI 配線工程の高温処理に晒されるため,TSV と Si 基板間に発生 する応力がトランジスタ特性を変動させることが問題になっている。また、チップ積層は生産性 が低く,基板厚がハンドリング可能な厚さに制限される。上記課題を解決するため、我々は LSI 配線形成後にウェハ裏面からTSV を形成する Via-last 法と、ウェハ同士を接合するウェハ積層を 組み合わせた実装方法を開発してきた[1-3]。特に、鍵となる Cu と樹脂のハイブリッド接合技術を 確立し、前回応用物理学会にて報告した[3]。今回は、確立してきた要素技術を用いて、Via-last TSV とウェハ積層を組み合わせた三次元 CMOS デバイスを実現し、TSV の通信性能やトランジスタ特 性変動を含む基礎的な電気特性を示す。

【評価方法】積層ウェハの断面観察には SEM(走査型電子顕微鏡), 配線の透過像観察には X-ray CT(コンピュータ断層撮影)を用いた。TSV 歩留まりは抵抗測定で評価した。TSV の通信性能は, 2層のデバイスウェハ間の信号伝送速度を測定して評価した。また, Via-last TSV が Si の応力やト ランジスタ特性に与える影響を調べるため, EBSD(後方散乱電子線回折法)で Si 基板の歪みを評価 した。測定した歪みから, 応力やトランジスタのオン電流変化量に換算した。さらに, リングオ シレータ回路の発振周波数を測定し, TSV がトランジスタへ与える影響を直接的に評価した。

【結果】図1に三層積層ウェハの断面画像を示す。ウェハが隙間なく積層されており、広範囲に 渡ってTSVやバンプが不具合なく形成されている。電気特性評価の結果,TSVの歩留まりは99.2% 以上であることを確認した。また、回路動作確認により、電力あたりの通信速度が15 Tbps/W, 面積あたりの通信速度が3.3 Tbps/mm<sup>2</sup>と、世界トップの通信性能を得た。次に、Via-last TSV が トランジスタに与える影響を調べた。Via-middle TSV に関する報告を参考に、特性変動の許容値

を±5%に設定した[4]。図2に示す通り, Si 中の応力から求めたトランジスタの オン電流変化は、TSV 近傍において ±1%程度と小さい(図2)。また、リング オシレータの発振周期変化率からも, TSV からの距離2 µm 以上で許容範囲を 大きく下回る結果を得た。したがって, 今回の Via-last TSV を用いれば, TSV 端 から2µmと接近した領域にトランジス タを問題なく配置できることを示した。 【参考文献】[1] M. Aoki et al., 2011 年秋季応用 物理学会, [2] M. Aoki et al., 2012 年秋季応用物 理学会, [3] M. Aoki et al., 2013 年春季応用物理 学会, [4] A. Mercha et al., IEEE 2010 Electron Devices Meeting. 【謝辞】本研究は,経済産業省の 「ITイノベーションプラグラム」に基づき,新エネ ルギー・産業技術総合開発機構(NEDO)から委託 された「立体構造新機能集積回路(ドリームチップ) 技術開発」プロジェクトにおいて実施された。

