18a-E5-2

## 熱力学および速度論的知見に基づく低界面欠陥密度 4H-SiC(0001) MOS の実現

Reduction of interface state density at 4H-SiC(0001) MOS interface by thermodynamic and kinetic approach 東京大学大学院マテリアル工学科<sup>1</sup>. JST さきがけ<sup>2</sup> <sup>O</sup>菊地リチャード平八郎<sup>1</sup>. 喜多浩之<sup>1,2</sup>

<sup>1</sup>Dept. of Materials Engineering, The Univ. of Tokyo, <sup>2</sup>JST-PRESTO

<sup>°</sup>Richard Heihachiro Kikuchi<sup>1</sup> and Koji Kita<sup>1.2</sup>

E-mail: kikuchi@scio.t.u-tokyo.ac.jp

[背景と目的] 熱酸化で形成した SiO<sub>2</sub>/SiC 界面は多量の界面欠陥の存在が課題となっている。この原因として、熱酸化の過程で CO として脱離するはずの C が界面・膜中に蓄積することが指摘されている[1,2]。そこで本研究ではドライ酸化条件を熱力学および速度論の観点から検討し、低界面欠陥密度 SiC MOS の実現を目的とした。そのためには、CO が界面から直接生成され、なおかつアクティブ酸化による SiO 生成が進行しない熱力学的条件を選ぶ必要がある。そこで、界面反応 SiC+3/2O<sub>2</sub>→CO+SiO<sub>2</sub> のギブスエネルギー変化- $\Delta$ G が最大、つまり固相にCを残す反応や SiOを生成する反応よりも熱力学的に好まれる温度・酸素分圧[3]がよい。実際に選択される反応を知るには反応に要するエネルギー障壁の制約を考慮する必要があるが、我々は既に 4H-SiC (0001)上で、1 atm O<sub>2</sub>中の 1100°C~1300°C近傍での酸化では CO の界面からの直接脱離反応が生じるという知見を得ており[4]、これは- $\Delta$ G 計算からの予想において CO の生成が有利となる条件と矛盾しない。この条件下で、さらに界面反応に比べて膜中の CO の拡散が十分に速く進行する薄膜領域(~10nm)に限定した成長により、膜中や界面での C や CO の残留を抑制した MOS 界面の形成を試みた。

[実験] n 型エピタキシャル層(ドープ濃度~1×10<sup>16</sup> cm<sup>-3</sup>)を有する 4H-SiC(0001)ウェーハを RCA+HF 洗浄を 行った。RTA 炉を用いて、1 atm O<sub>2</sub>中、1300°C でのドライ酸化によって 13.5nm の熱酸化膜を成膜し、800°C での酸素アニールを 30 分行った。バックコンタクトとして Ni を、ゲート電極として Au を蒸着し、MOS キャパシ タを作成した。CV 測定及びコンダクタンス法によって電気特性の評価を行った。

[結果と考察] 本実験の酸化条件で形成した Au/SiO<sub>2</sub>/4H-SiC(0001) MOS キャパシタの示す CV 特性を Fig. 1 に示す。周波数分散が小さく、良好な MOS 特性が得られたことが分かる。図中の点線で示すのはポアソン 方程式を解いて得られる理論 CV 曲線であり、高周波特性はこれとほぼ一致する。特にフラットバンド電圧より も蓄積側でもよく一致したことは、伝導帯端のスロートラップの影響[1]も抑制されたと解釈できる。コンダクタ ンス法を用いて界面欠陥準位密度(D<sub>it</sub>)を評価した結果を Fig. 2 に示す。伝導帯端から 0.2 eV 付近で~ 7×10<sup>10</sup> cm<sup>-2</sup>eV<sup>-1</sup> と低い値が得られた。ここで、本研究では NO パッシベーション等の処理を一切行わずにドラ イ酸化条件の制御のみで低 D<sub>it</sub>を実現したことを強調しておく。このことは、結合手が各 Si 原子から一本ずつ しか存在しない SiC(0001)上では、未結合手をつくることなく表面 Si 原子に1つずつ O 原子が結合した理想的 な構造が本来的に得やすいことを意味すると想像され、SiC(0001)では界面近傍の熱酸化膜の構造変化が 小さく抑えられるという FTIR による観察事実[5]とも矛盾しない。なお、±3 MV/cm の電界を室温で 10<sup>4</sup> 秒印加 したところ、印加後のフラットバンド電圧のシフトは 80 mV 以下に抑えられており、デバイス動作信頼性の観 点からも期待できる結果である。文献: [1]V. V. Afanas' ev et al., Phys. Status Solidi A **162**, 321 (1997). [2]Y. Ebihara et al., Appl. Phys. Lett. **100**, 212110 (2012). [3]Y. Song et al., J. Am. Ceram. Soc. **88**, 1864 (2005). [4]菊地ら, 2013 年秋季応 物学会 17a-B3-6. [5] H. Hirai and K. Kita, Appl. Phys. Lett. 103,132106 (2013).



Fig. 1 C-V characteristics of the Au/SiO $_2$ /4H-SiC (0001) MOS capacitor.



**Fig. 2** Distribution of interface state density estimated by conductance method. The inset shows  $G_p/\omega$  at various gate biases from 1.1 to 1.7 V.