18a-F6-9

横方向液相エピタキシャル成長法により Y_2O_3 層上に形成した局所 GOI 層の電気特性評価

Electrical characteristics of Ge-on-insulator MOSFETs fabricated by lateral liquid-phase epitaxy on Y_2O_3 BOX layer

阪大院工，°梶村　恵子，松江　将博，細井　卓治，志村　考功，渡部　平司

Osaka Univ., K. Kajimura, M. Matsue, T. Hosoi, T. Shimura and H. Watanabe

Email: kajimura@asf.mls.eng.osaka-u.ac.jp

【はじめに】Ge は電子と正孔の移動度が Si に比べ 2.5-4 倍も高く、次世代チャネル材料として注目されている。また、GOI（Ge-On-Insulator）構造には、寄生容量の低減、短チャネル効果の抑制、基板バイアスを利用したしきい値電圧制御性の向上といった利点がある。我々はこれまで、Si シード領域からの液相エピタキシャル成長（LLPE : lateral liquid-phase epitaxy）を利用した局所 GOI 構造形成を検討してきた[1-2]。また、SOI 基板上に LLPE-GOI 層をチャネルとしたトランジスタを作製し、split-CV 法により約 500 cm^2/Vs の正孔移動度を確認している[3]。これは、LLPE-GOI 層が高い結晶性を有し、SiO_2 との界面特性も優れていることを示している。しかし、SOI 基板では BOX 層の材料や厚さに制限があることから、Si 基板上での GOI 構造作製が望まれる。そこで今回、Si 基板上に堆積した Y_2O_3 を BOX 層とした LLPE-GOI 層トランジスタを試作し、その電気特性を評価した。

【実験及び結果】Si 基板上にスパッタ法を用いて Y_2O_3 絶縁層（膜厚：100 nm）を成膜し、ウェットエッチングによりシード領域を形成した。アモルファス Ge（膜厚：260 nm）層を蒸着し、細線状（幅：2 μm, 長さ：500 μm）に加工した後、SiO_2 キャップ層（膜厚：1 μm）で覆い、N_2 雰囲気中で急速加熱処理（950°C, 1 sec）を行うことで液相成長を行なった。シード領域とチャネル層を SiO_2 層で分離した後、Al コンタクトを形成し、LLPE-GOI 層をチャネル、Si 基板をゲートとするトランジスタを作製した（Fig. 1）。Fig. 2 にドレイン電流-ドレイン電圧特性を示す。作製した LLPE-GOI トランジスタはゲート電圧によりドレイン電流が制御されており、トランジスタ動作を確認することができた。講演当日はトランジスタ特性のシード領域からの距離依存性等についても議論する。

[1] T. Hashimoto *et al.*, APEX **2**, 066502 (2009). [2] Y. Suzuki *et al.*, APL **101**, 202105 (2012).

[3] 西川　他，第 60 回応用物理学会春季学術講演会 27a-G20-9.

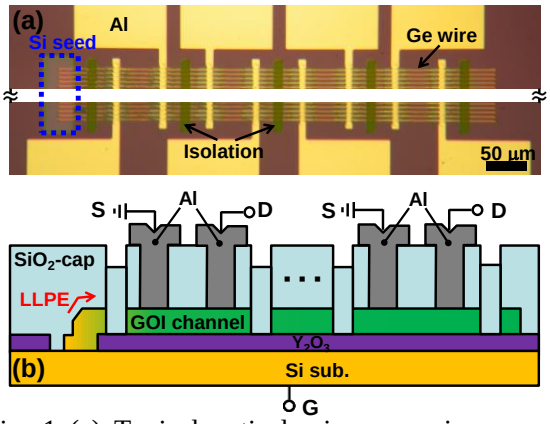

Fig. 1 (a) Typical optical microscope image and (b) Schematic cross-section of LLPE-GOI back gate MOSFET with Y_2O_3 BOX layer.

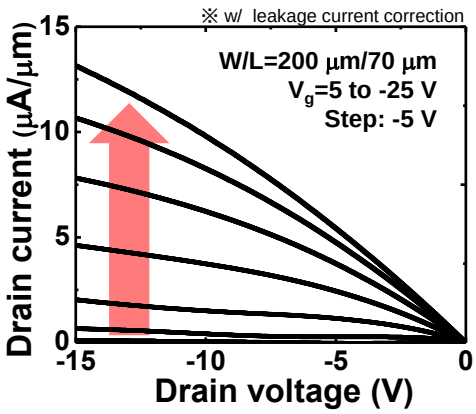

Fig. 2 I_d-V_d characteristics of p-type GOI MOSFET with gate width/length of 200/70 μm under accumulation condition.

© 2014 年　応用物理学会