

ピエゾエレクトロニクストランジスタとそのロジック応用

Piezoelectronic Transistor and Its Logic Applications

東京工業大学情報工学研究所 菅原 聡, 周藤 悠介, 山本 修一郎

Imaging Science and Engineering Laboratory, Tokyo Inst. of Tech. S. Sugahara, Y. Shuto, and S. Yamamoto

E-mail: sugahara@isl.titech.ac.jp

【はじめに】マイクロプロセッサや SoC などの CMOS ロジックシステムは、トランジスタの微細化と高性能化を両立させることで著しく発展してきた。このような CMOS ロジックの消費電力は、トランジスタのテクノロジーノードの更新とともに増大し続けているが、この消費電力の増大はロジックシステムの性能やトランジスタの集積密度を制限する重大な問題となっている。さらに、CMOS ロジックの消費電力は、近年の CMOS ロジックにおける重要な応用の1つであるスマートフォンなどのモバイル機器のバッテリーの利用時間を決める要因の一つにもなっている。CMOS ロジックにおける電源電圧の低電圧化は、CMOS ロジックの低消費電力化に極めて有効な手段の1つであるが、ロジックシステムの動作周波数を激しく劣化させてしまうことや、またデバイスのばらつきに対する耐性も激しく劣化させてしまう。このような電源電圧の低減による問題が生じる主要因はトランジスタの電流駆動能力の劣化である。そこで、より小さな入力電圧で、より大きな電流を駆動できるより“高感度”なトランジスタの開発が盛んに行われている。さらに、低電圧動作における全消費電力に対する動的電力と静的電力の割合は、駆動電圧の低減とともに静的電力が大きくなることから、低電圧動作においても、リーク(サブスレシヨルドリーク)が十分に低いトランジスタが必要となる。現在、以上のような観点から、いくつかの新規なデバイスが研究・開発されているが、電流駆動能は高いがリークも大きいデバイスや、リークは少ないが電流駆動能力も低いデバイスが多いことに注意する必要がある。

【PET】0.2V 程度の超低電圧の領域では、大幅な消費電力の低減が見込めるが、従来の CMOS 技術では電流駆動能力の低下にともなう回路性能の劣化が激しく、対応は困難である。これは半導体をチャネルに用いる限り、どのような半導体材料を用いても根本的に解決することは難しい。金属チャネルは、抵抗が低く、高い電流駆動能力を実現できる可能性があるが、リークを十分に下げることが原理的に難しい(そもそもトランジスタ動作させること自体が容易ではない)。そこで、金属的に抵抗が低く、絶縁体的に抵抗が高い2つの状態を形成可能な金属-絶縁体転移する材料をチャネルに用いたトランジスタは超低電圧駆動に適したデバイスであると考えられる。最近、大きなピエゾ効果もつ圧電体をゲートに、圧力によって金属-絶縁体転移を引き起こすピエゾ抵抗効果をチャネルに利用する Piezoelectronic Transistor (PET)と呼ばれる新しいトランジスタが提案された[1]。圧力によって出力を変調できるトランジスタは感圧トランジスタとして古くから知られていたが、PET はチャネルに用いるピエゾ抵抗体の金属-絶縁体転移によってスイッチングを行う新原理のデバイスである。

【PET の特徴[1]と課題[2]】PET では圧力によって金属-絶縁体転移するピエゾ抵抗体をチャネルに用いるが、オン時の金属相における抵抗は極めて低く、大きな電流駆動能力が期待できる。このピエゾ抵抗体の圧力に対する抵抗変化率は巨大で、オフ時のチャネル抵抗を極めて高くできるため、十分なオン/オフ比を実現できる。また、大きなピエゾ効果を有する圧電体をゲートに用いることで、極めて急峻なサブスレシヨルドを実現可能で、0.2V 程度の非常に小さな論理振幅も実現できる。このような0.2V 程度の低電圧動作においても PET の電流駆動能力は非常に大きく、0.2V の駆動電圧で数 100GHz 以上の高速動作を期待できる。さらに、PET では圧電体ゲートの誘電分極の向きで p チャネル/n チャネル動作を実現できるため、CMOS の構成も可能である。PET では圧電体ゲートを用いて、ピエゾ抵抗体チャネルに圧力を加えるが、これはデバイス構造上の重大な制約を与えてしまう。また、圧電体ゲートのメカニカルな共振現象がトランジスタ動作に影響を与える。講演では、このような課題とその解決策[2]についても議論する。

【ロジック応用】上記のように PET は低電圧駆動可能なロジックデバイスとして必要な性能・特徴を有している。従来の CMOS 技術では高速であれば消費電力は大きく、また、低消費電力であれば動作速度は遅かったが、PET を用いれば、従来の CMOS 技術よりも高速でしかも極端に低消費電力のロジックシステムを構成できる。PET は従来のロジック・アーキテクチャを活用し、CMOS を(相補型)PET 置き換えることで、低電圧領域における高性能ロジックシステムを構築できると予想されるが、PET を従来の CMOS とともに活用する融合回路が、PET をロジックシステムへ導入するための第一歩と考えられる[2]。また、近年、研究開発が盛んになっている不揮発との融合も重要であると考えられる[2]。講演では PET による超低電圧基盤回路技術(ロジック, メモリ, 不揮発融合に関する回路技術)についても課題を含めて議論する。

【参考文献】[1] D.M. Newns *et al*, MRS Bulletin **37**, 1071 (2012), Adv. Mater. **24**, 3672 (2012), J. Appl. Phys. **111**, 084509 (2012). [2] S. Sugahara *et al*, in preparation.